

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenl gungsschrift**
⑩ **DE 198 46 264 A 1**

⑤1 Int. Cl.⁶:
G 11 C 11/15
H 01 L 27/105

②1 Aktenzeichen: 198 46 264.6
②2 Anmeldetag: 7. 10. 98
④3 Offenlegungstag: 17. 6. 99

③0 Unionspriorität:
68192/97 12. 12. 97 KR

⑦1 Anmelder:
LG Semicon Co., Ltd., Cheongju, KR

⑦4 Vertreter:
TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

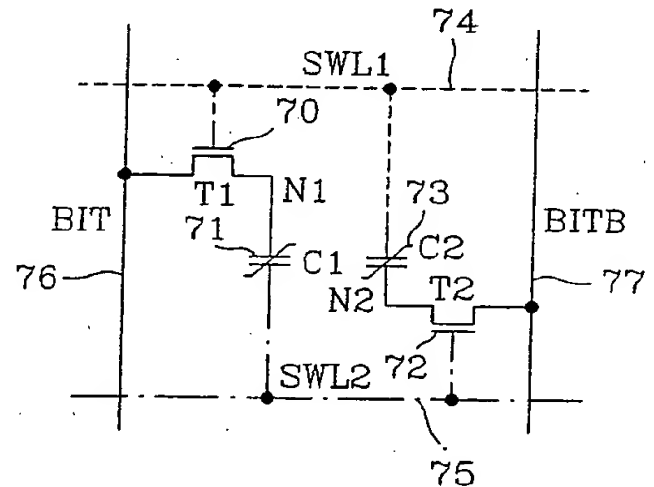
⑦2 Erfinder:
Kang, Hee Bok, Daejeon, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

⑤4 Nichtflüchtiger ferroelektrischer Speicher, Wortleitungstreiber für denselben sowie Verfahren zu seiner Herstellung

⑤7 Es werden ein nichtflüchtiger ferroelektrischer Speicher, ein Wortleitungstreiber für denselben sowie ein Verfahren zu seiner Herstellung offenbart, die die Vorteile vereinfachter Herstellung und hohe Integrationsdichte dadurch aufweisen, daß keine gesonderte Zellenplattenleitungen angebracht werden.
Beim erfindungsgemäßen Speicher weist jede Zelleneinheit folgendes auf:

- einen ersten Transistor (70) mit einer Source, einem Drain und einem Gate, das mit einer Wortleitung (74) verbunden ist;
- einen ersten ferroelektrischen Kondensator (71), dessen eine Elektrode mit der Source des ersten Transistors verbunden ist und dessen andere Elektrode mit einer anderen Wortleitung (75) verbunden ist;
- einen zweiten Transistor (72) mit einer Source, einem Drain und einem Gate, das mit der anderen Wortleitung verbunden ist, die in Verbindung mit dem ersten ferroelektrischen Kondensator steht; und
- einen zweiten ferroelektrischen Kondensator (73), dessen eine Elektrode mit der Source des zweiten Transistors verbunden ist und dessen andere Elektrode mit der anderen Wortleitung verbunden ist, die in Verbindung mit dem Gate des ersten Transistors steht.



DE 198 46 264 A 1

DE 198 46 264 A 1

Die Erfindung betrifft einen nichtflüchtigen, ferroelektrischen Speicher, einen Wortleitungstreiber für denselben sowie ein Verfahren zu seiner Herstellung.

Ferroelektrische Direktzugriffsspeicher (FRAMs) mit einer Datenverarbeitungsgeschwindigkeit, die so hoch ist wie bei DRAMs, die allgemein als Halbleiterspeicher verwendet werden, und die die gespeicherten Daten aufrechterhalten, wenn die Versorgungsspannung abgeschaltet ist, ziehen als Speicher der nächsten Generation Aufmerksamkeit auf sich. FRAMs sind Speicher mit beinahe derselben Struktur wie DRAMs, wobei jedoch die abgespeicherten Daten nicht gelöscht werden, wenn ein elektrisches Feld vom Speicher weggenommen wird, da als Material im Kondensator ein Ferroelektrikum verwendet ist, das die Eigenschaft einer hohen Resipolarisation aufweist. Anders gesagt, verschwindet, wie es in der Hystereseschleife von Fig. 1 dargestellt ist, eine durch ein elektrisches Feld hervorgerufene Polarisation wegen des Vorliegens spontaner Polarisation selbst dann nicht, wenn das elektrische Feld weggenommen wird, sondern die Polarisation verbleibt in einem konstanten Zustand (Zustände d und a). Dieses Bauteil wird dadurch als Speicher verwendet, daß den Zuständen d und a die logischen Zustände 0 bzw. 1 zugeordnet werden.

Unter Bezugnahme auf die Fig. 2 bis 5 werden nachfolgend bekannte ferroelektrische Speicher erläutert.

Fig. 2 ist ein Schaltbild eines bekannten ferroelektrischen Speichers, und Fig. 3 zeigt zeitliche Signalverläufe zum Erläutern des Betriebs dieses Speichers.

Die ideale Struktur eines FRAM mit einer ferroelektrischen Dünnschicht ist mit einem Transistor und einem Kondensator (1T/1C) versehen, was dem Aufbau eines DRAM ähnlich ist, jedoch existiert ein schwerwiegendes Problem beim Erzielen hoher Integrationsdichte, das schwer zu überwinden ist, wenn nicht neue Elektroden- und Sperrschichtmaterialien erfunden werden. Das Problem hinsichtlich hoher Integrationsdichte beruht darauf, daß der Kondensator nicht unmittelbar auf einem Substrat aus kristallinem Silizium oder Polysilizium hergestellt werden kann und daher die Größe des Speichers größer als die eines DRAM derselben Speicherkapazität ist. Ferner tritt dann, wenn ein elektrisches Feld wiederholt an ein Ferroelektrikum angelegt wird, ein Ermüdungseffekt mit allmählich abnehmender Resipolarisation auf, und außerdem verbleibt ein Zuverlässigkeitsproblem hinsichtlich des Speichers. Um FRAMs mit derartigen Problemen zu ersetzen, wurden FRAMs mit 2T/2C (zwei Transistoren und zwei Kondensatoren)-Struktur, wie in Fig. 2 dargestellt, vorgeschlagen, wobei alle praxisbezogenen Gesichtspunkte berücksichtigt sind (Ersetzung des Elektrodenmaterials, Integration, Stabilität einer ferroelektrischen Dünnschicht, Betriebszuverlässigkeit usw.). Ein 2T/2C-FRAM ist mit einem ersten und einem zweiten Transistor (T1, T2) 1 und 3 versehen, deren Gates gemeinsam mit einer Wortleitung 5 sowie einem ersten und einem zweiten ferroelektrischen Kondensator (C1, C2) 2 und 4 verbunden sind. Der Drain und die Source des ersten Transistors 1 sind mit einer Bitleitung 6 bzw. einem Knoten (N1) 1 verbunden, und der Drain und die Source des zweiten Transistors 3 sind mit einer /Bitleitung 7 bzw. einem Knoten (N2) 2 verbunden. Der erste ferroelektrische Kondensator 2 ist zwischen dem Knoten (N1) 1 und einer Zellenplattenleitung (CPL) 8 geschaltet, während der zweite ferroelektrische Kondensator 4 zwischen den Knoten (N2) 2 und die Zellenplattenleitung (CPL) 8 geschaltet ist.

Nachfolgend wird die Funktion dieses 2T/2C-FRAM erläutert.

Wie es im zeitlichen Signalverlauf gemäß Fig. 3 darge-

stellt ist, werden, wenn ein im Zeitintervall t1 an die Wortleitung 5 angelegtes Signal von Niedrig auf Hoch geschaltet wird, alle ausgewählten Zellen zwischen der Bitleitung 6 und der /Bitleitung 7 leitend. Wenn in diesem Zustand ein an die Wortleitung 8 angelegtes Signal von Niedrig auf Hoch geschaltet wird, werden die Daten aus der Speicherzelle an die Bitleitung 6 und die /Bitleitung 7 übertragen. Ein Meßverstärker erfaßt das Signal, verstärkt es und liefert dann das verstärkte Signal an die Bitleitung 6 und die /Bitleitung 7 zurück. Wenn es erforderlich ist, daß zerstörte Daten im ersten und zweiten ferroelektrischen Kondensator 2 und 4 wiederhergestellt werden, wird das Potential der Wortleitung 5 auf hohem Zustand gehalten, und das potential der Zellenplattenleitung 8 wird vom hohen auf den niedrigen Zustand deaktiviert. Dann sind die zerstörten Daten wiederhergestellt.

Nachfolgend werden die Struktur eines bekannten 2T/2C-FRAM und ein Verfahren zu seiner Herstellung beschrieben. Fig. 4 ist eine Schnittansicht eines bekannten ferroelektrischen Speichers, und die Fig. 5a bis 5i sind Schnittansichten zum Herstellprozeß dieses Speichers. Dieser bekannte FRAM ist mit Folgendem versehen: einer auf einem Halbleitersubstrat 41 hergestellten Gateelektrode 42; einer Source/einem Drain 43, die auf dem Halbleitersubstrat 41 zu beiden Seiten der Gateelektrode 42 ausgebildet sind; einer unteren Elektrodenschicht 44 in Kontakt mit dem Sourcebereich oder dem Drainbereich neben der Gateelektrode 42; einer ferroelektrischen Schicht 45, die auf der unteren Elektrodenschicht 44 des Kondensators hergestellt ist; einer oberen Elektrodenschicht 46 des Kondensators, die auf der ferroelektrischen Schicht 45 ausgebildet ist; einer Bitleitung und einer /Bitleitung 47 in Kontakt mit dem anderen Bereich hinsichtlich des Source- und des Drainbereichs 43; einer Zellenplattenleitung 48 in Kontakt mit der oberen Elektrodenschicht 46 des Kondensators; sowie einer ersten, zweiten und dritten Isolierschicht 49, 50 und 51 zum Isolieren jeder Schicht gegen die anderen.

Ein Herstellprozeß für diesen bekannten ferroelektrischen Speicher ist der folgende.

Wie es in Fig. 5a dargestellt ist, legt eine in einem Elementisolierbereich eines Halbleitersubstrats 50 hergestellte Feldoxidschicht 51 einen aktiven Bereich fest, in dem der erste und der zweite Transistor 1 und 3 ausgebildet werden. Gemäß Fig. 5b wird die Gateleitung 53 sowohl des ersten als auch des zweiten Transistors im aktiven Bereich 52 hergestellt, der durch die Feldoxidschicht 51 für jeden Transistor festgelegt ist. Gemäß Fig. 5c werden durch einen Fremdstoffionen-Injektionsprozeß unter Verwendung der Gateleitung 53 als Maske die Source und der Drain 54 des ersten und zweiten Transistors 1 und 3 ausgebildet. Gemäß Fig. 5d wird eine erste Isolierschicht 55 auf der gesamten Oberfläche hergestellt, und diejenigen Teile derselben, die auf dem Source/Drain-Bereich 54 des ersten und zweiten Transistors 1 und 3 liegen, werden selektiv entfernt, wodurch ein erstes Kontaktloch 56 erzeugt wird. Gemäß Fig. 5e wird eine Materialschicht 57 für die untere Elektrode so hergestellt, daß das erste Kontaktloch 56 vergraben ist, und auf der Materialschicht 57 für die untere Elektrode werden eine ferroelektrische Schicht 58 und eine Materialschicht 59 für die obere Elektrode aufeinanderfolgend hergestellt. Dann werden die Materialschicht 59 für die obere Elektrode, die ferroelektrische Schicht 58 und die Materialschicht 57 für die untere Elektrode selektiv geätzt, und darin werden der erste und der zweite ferroelektrische Kondensator 2 und 4 hergestellt. Gemäß Fig. 5f wird eine zweite Isolierschicht 60 auf der Vorderseite des Halbleitersubstrats 50 hergestellt, auf der der erste und zweite ferroelektrische Kondensator 2 und 4 ausgebildet sind. Die zweite Isolierschicht 60 auf der

anderen Seite des Source/Drain-Bereichs 54 des ersten und zweiten Transistors 1 und 3 wird selektiv entfernt, und dort wird ein zweites Kontaktloch 61 ausgebildet. Gemäß Fig. 5g werden durch vollständiges Vergraben des zweiten Kontaktlochs 61 eine Bitleitung und eine /Bitleitung 62, die in Kontakt mit der anderen Seite des Source/Drain-Bereichs 54 des ersten und zweiten Transistors 1 und 3 stehen, hergestellt. Gemäß Fig. 5h wird auf der Vorderseite, auf der die Bitleitung und die /Bitleitung 62 hergestellt sind, eine dritte Isolierschicht 63 hergestellt. Die zweite Isolierschicht 60 und die dritte Isolierschicht 63 auf der Oberseite des ferroelektrischen Kondensators werden selektiv entfernt, und dort wird ein drittes Kontaktloch 64 ausgebildet. Dieses dritte Kontaktloch 64 dient zum Verbinden der Materialschicht 59 der oberen Elektrode des Kondensators mit einer Zellenplattenleitung, die in einem folgenden Prozeß hergestellt wird. Gemäß Fig. 5i wird die Zellenplattenleitung 65 so hergestellt, daß sie in Kontakt mit der Materialschicht 59 der oberen Elektrode steht, und das dritte Kontaktloch 65 wird vollständig aufgefüllt. Dieser 2T/2C-FRAM hat eine Geschwindigkeit, die so hoch wie bei einem DRAM ist, jedoch hält er die gespeicherten Daten selbst dann aufrecht, wenn die Versorgungsspannung weggenommen wird.

Wie angegeben, hat der bekannte FRAM zwar den Vorteil, daß er die gespeicherten Daten selbst dann aufrechterhält, wenn die Versorgungsspannung weggenommen wird, jedoch ist das Layout des bekannten FRAM wegen seiner gesonderten Zellenplattenleitung kompliziert, weswegen der Herstellprozeß kompliziert und teuer ist.

Ferner ist auch die Steuerung im Lese- und Schreibmodus schwierig, weswegen der Wirkungsgrad als Speicher verringert ist.

Der Erfindung liegt die Aufgabe zugrunde, einen nichtflüchtigen ferroelektrischen Speicher, einen Wortleitungstreiber für denselben sowie ein Verfahren zu seiner Herstellung zu schaffen, die für hohe Integrationsdichte und vereinfachten Herstellprozeß dadurch sorgen, daß keine gesonderte Zellenplattenleitung mehr erforderlich ist.

Diese Aufgabe ist hinsichtlich des Speichers durch die Lehren der unabhängigen Ansprüche 1, 3 und 23, hinsichtlich des Wortleitungstreibers durch die Lehre von Anspruch 13 sowie hinsichtlich des Verfahrens durch die Lehre von Anspruch 27 gelöst.

Zusätzliche Vorteile, Aufgaben und andere Merkmale der Erfindung werden teilweise in der folgenden Beschreibung dargelegt, und teilweise werden sie dem Fachmann bei der Untersuchung des Folgenden oder beim Ausüben der Erfindung erkennbar. Die Aufgaben und Vorteile der Erfindung werden speziell durch die Maßnahmen erzielt, wie sie in den beigefügten Ansprüchen dargelegt sind.

Die Erfindung wird aus der nachfolgenden detaillierten Beschreibung und den beigefügten Zeichnungen, die nur zur Veranschaulichung dienen und demgemäß für die Erfindung nicht beschränkend sind, vollständiger zu verstehen sein.

Fig. 1 ist eine Charakteristikkurve, die die Hystereseschleife eines bekannten Ferroelektrikums zeigt;

Fig. 2 ist ein Schaltbild eines bekannten ferroelektrischen Speichers;

Fig. 3 zeigt ein zeitbezogenes Diagramm zum Betrieb eines bekannten ferroelektrischen Speichers;

Fig. 4 ist eine Schnittansicht, die den Aufbau eines bekannten ferroelektrischen Speichers zeigt;

Fig. 5a bis 5i sind Schnittansichten zum Veranschaulichen eines Herstellprozesses für einen bekannten ferroelektrischen Speicher;

Fig. 6a bis 6c sind ein Schaltbild bzw. zwei Zellenarraystrukturen eines ferroelektrischen Speichers gemäß einem Ausführungsbeispiel der Erfindung;

Fig. 7 ist ein zeitbezogenes Diagramm zum Veranschaulichen des Betriebs in einem Schreibmodus des ferroelektrischen Speichers gemäß dem Ausführungsbeispiel der Erfindung;

Fig. 6 ist ein zeitbezogenes Diagramm zum Veranschaulichen des Betriebs in einem Lesemodus des ferroelektrischen Speichers gemäß dem Ausführungsbeispiel der Erfindung;

Fig. 9 ist ein Schaltbild eines erfindungsgemäßen Wortleitungstreibersteuersignal-Generators;

Fig. 10 ist ein Schaltbild eines erfindungsgemäßen Adressendecodiersignal-Generators;

Fig. 11 ist ein Schaltbild eines Wortleitungstreibersteuersignal-Generators beim erfindungsgemäßen ferroelektrischen Speicher;

Fig. 12 ist ein zeitbezogenes Funktionsdiagramm eines erfindungsgemäßen Wortleitungstreibersteuersignal-Generators;

Fig. 13 ist ein zeitbezogenes Funktionsdiagramm eines erfindungsgemäßen Wortleitungstreibersteuersignal-Generators;

Fig. 14 ist ein Layoutdiagramm eines Ausführungsbeispiels eines erfindungsgemäßen ferroelektrischen Speichers;

Fig. 15 ist eine Schnittansicht der Struktur eines Ausführungsbeispiels eines erfindungsgemäßen ferroelektrischen Speichers; und

Fig. 16a bis 16h sind Schnittansichten zum Veranschaulichen eines erfindungsgemäßen Herstellprozesses für einen ferroelektrischen Speicher.

Der Schaltungsaufbau und die Funktion eines erfindungsgemäßen nichtflüchtigen ferroelektrischen Speichers mit unterteilter Wortleitung (SWL = Split Word line) werden nachfolgend unter Bezugnahme auf die Fig. 6a bis 6c sowie 7 erläutert.

Die erfindungsgemäße Speicherzelle wird realisiert, ohne daß eine gesonderte Zellenplattenleitung hergestellt wird, wie dies aus Fig. 6a ersichtlich ist. Der erfindungsgemäße 2T/2C-FRAM umfaßt einen ersten NMOS-Transistor (T1) 70, dessen Gate mit einer ersten unterteilten Wortleitung (SWL1) 74 verbunden ist; einen zweiten NMOS-Transistor (T2) 72, dessen Gate mit einer zweiten unterteilten Wortleitung (SWL2) 75 verbunden ist; einen ersten ferroelektrischen Kondensator (C1) 71, dessen eine Elektrode mit der Source des ersten Transistors 70 verbunden ist und dessen andere Elektrode mit der zweiten unterteilten Wortleitung (SWL2) 75 verbunden ist; sowie einen zweiten ferroelektrischen Kondensator (C2) 73, dessen eine Elektrode mit der ersten unterteilten Wortleitung 74 verbunden ist und dessen andere Elektrode mit der Source des zweiten Transistors 72 verbunden ist.

Der Drain des ersten Transistors 70 ist mit einer Bitleitung 76 verbunden, und der Drain des zweiten Transistors 72 ist mit einer /Bitleitung 77 verbunden.

Die Bitleitung 76 und die /Bitleitung 77 sind mit einer Spaltenauswählsteuerung und einem Meßverstärker verbunden, so daß sie in einem Schreib- und einem Lesemodus Daten übertragen können. Die erste und die zweite unterteilte Wortleitung 74 und 75 dienen zum Übertragen eines Wortleitungstreibersteuersignals zum Ansteuern des ersten und zweiten Transistors 70 und 72.

Nachfolgend wird unter Bezugnahme auf die in Fig. 1 dargestellte Hystereseschleife eines Ferroelektrikums die Funktion des erfindungsgemäßen nichtflüchtigen ferroelektrischen SWL-Speichers erläutert. Der Zustand, daß vom ersten ferroelektrischen Kondensator 71 eine hohe Vorspannung an die Source des ersten Transistors 70, d. h. den Knoten 1, angelegt wird, während eine niedrige Vorspannung an die zweite unterteilte Wortleitung 75 angelegt wird, entspricht dem Punkt c der Hystereseschleife in Fig. 1. Danach wird dieselbe Vorspannung an beide Elektroden des ersten

ferroelektrischen Kondensators 61 angelegt, und dabei entspricht der Zustand dieses ersten ferroelektrischen Kondensators dem Punkt d. Die Zustände c und d des ersten ferroelektrischen Kondensators 71 sind als Zustand 1 definiert.

Andererseits entspricht der Zustand, in dem vom ersten ferroelektrischen Kondensator 71 eine niedrige Vorspannung an den Knoten 1 angelegt wird, während eine hohe Vorspannung an die zweite unterteilte Wortleitung 75 angelegt wird, dem Punkt f der Hystereseschleife in Fig. 1. Danach wird dieselbe Vorspannung an beide Elektroden des ersten ferroelektrischen Kondensators 71 angelegt, und der Zustand des ersten ferroelektrischen Kondensators entspricht dabei dem Punkt a. Die Zustände f und a des ersten ferroelektrischen Kondensators 71 sind als Zustand 0 definiert.

Auf dieselbe Weise entspricht der Zustand, in dem vom zweiten ferroelektrischen Kondensator 73 eine hohe Vorspannung an die Source des zweiten Transistors 72, d. h. den Knoten 2, angelegt wird, während eine niedrige Vorspannung an die erste unterteilte Wortleitung 74 angelegt wird, dem Punkt c der Hystereseschleife in Fig. 1. Danach wird dieselbe Vorspannung an beide Elektroden des zweiten ferroelektrischen Kondensators 73 angelegt, und der Zustand des Knotens 1 entspricht zu diesem Zeitpunkt dem Punkt d. Die Zustände c und d des zweiten ferroelektrischen Kondensators 73 sind als Zustand 1 definiert.

Demgegenüber entspricht der Zustand, in dem vom zweiten ferroelektrischen Kondensator 73 eine niedrige Vorspannung an den Knoten 2 angelegt wird, während eine hohe Vorspannung an die erste unterteilte Wortleitung 74 angelegt wird, dem Punkt f der Hystereseschleife in Fig. 1. Danach wird dieselbe Vorspannung an beide Elektroden des zweiten ferroelektrischen Kondensators 73 angelegt, und dabei entspricht der Zustand desselben dem Punkt a. Die Zustände f und a im zweiten ferroelektrischen Kondensator 73 sind als Zustand 0 definiert.

Es existieren zwei Verfahren hinsichtlich der Zellenanordnung bei erfindungsgemäßen nichtflüchtigen ferroelektrischen SWL-Speicherzellen.

Ein erstes Verfahren besteht darin, wie es in Fig. 6b dargestellt ist, daß eine Arraystruktur so gestaltet wird, daß pro Speicherzelleneinheit ein Datenwert gespeichert wird. Anders gesagt, werden die Signale auf der Bitleitung und der /Bitleitung durch einen Meßverstärker verstärkt, weswegen in diesem Fall ein Datenwert ausgegeben wird.

Das zweite Verfahren besteht darin, wie es in Fig. 6c dargestellt ist, daß eine Arraystruktur so gestaltet wird, daß zwei Datenwerte pro Speicherzelleneinheit gespeichert werden. Anders gesagt, werden die Signale auf der Bitleitung und der /Bitleitung durch einen Meßverstärker verstärkt. In diesem Fall geben sowohl die Bitleitung als auch die /Bitleitung jeweils einen Datenwert aus, und im Ergebnis werden in einer SWL-Zelleneinheit zwei Datenwerte gespeichert.

Nachfolgend werden ein Lese- und ein Schreibvorgang für einen erfindungsgemäßen nichtflüchtigen ferroelektrischen SWL-Speicher beschrieben.

Gemäß den Fig. 7 und 8 ist der zeitliche Verlauf des Datenschreibvorgangs für den erfindungsgemäßen nichtflüchtigen ferroelektrischen SWL-Speicher in vier Teile unterteilt, die sich durch verschiedene Steuerungsimpulse voneinander unterscheiden.

Der zeitliche Ablauf kann sowohl auf den Lesevorgang als auch den Schreibvorgang angewandt werden, und daher kann ein Wiederherstellvorgang, den der Schreibvorgang ausführen kann, gleichzeitig mit der Ausführung eines Lesevorgangs erfolgen. Anders gesagt, erfolgt ein Wiederherstellvorgang für eine nicht ausgewählte SWL-Zelle, während eine für einen Schreibvorgang ausgewählte SWL-Zelle

im Schreibmodus arbeitet und die SWL-Zelle an derselben Wortleitung, die nicht ausgewählt ist, gleichzeitig in ihrem Lesemodus arbeitet.

Gemäß der erfindungsgemäßen zeitlichen Steuerung werden sowohl der Lesemodus als auch der Schreibmodus auf einfache Weise gleichzeitig ausgeführt.

Im Schreibmodus in den Zeitintervallen t1, t2 und t3 sind der erste und der zweite ferroelektrische Kondensator 71 und 73 mit derselben Polarisierung wie die Bitleitung 76 und die /Bitleitung 77 polarisiert. Im Lesemodus erfolgt der Wiederherstellvorgang im ersten und zweiten ferroelektrischen Kondensator 71 und 73 mit derselben Polarisierung wie derjenigen der Bitleitung 76 und der /Bitleitung 77.

Anders gesagt, erfolgt, wenn sich die Bitleitung 76 auf hohem Pegel befindet, während sich die /Bitleitung 77 auf niedrigem Pegel befindet, der Schreibvorgang oder der Wiederherstellvorgang für den Polarisationszustand 1 im ersten ferroelektrischen Kondensator 71 innerhalb des Intervalls t3. Außerdem erfolgt der Schreibvorgang oder der Wiederherstellvorgang für den Polarisationszustand 0 im zweiten ferroelektrischen Kondensator 73 im Intervall t1.

Wenn sich die Bitleitung 76 auf niedrigem Pegel befindet und sich die /Bitleitung 77 auf hohem Pegel befindet, erfolgt der Schreibvorgang oder der Wiederherstellvorgang für den Polarisationszustand 0 im ersten ferroelektrischen Kondensator 71 innerhalb des Intervalls t1. Außerdem erfolgt der Schreibvorgang oder der Wiederherstellvorgang für den Polarisationszustand 1 im zweiten ferroelektrischen Kondensator 73 im Intervall t2.

Wenn der Wiederherstellvorgang im Schreib- oder Lesemodus im ersten ferroelektrischen Kondensator 71 erfolgt, sind Impulse der Intervalle t1, t2 und t3 erforderlich. Das Intervall t4 ist ein Deaktivierintervall, und es ist für den Schreibmodus oder den Lesemodus nicht unbedingt erforderlich. (Das Intervall t4 in den Fig. 7 und 8 dient zum Darstellen eines Steuerimpulsverlaufs oder eines Knotenzustands, der einem Deaktivierzustand entspricht.)

Obwohl Impulse im Intervall t1, t2 und t3 erforderlich sind, ist die Zugriffszeit nicht notwendigerweise verlängert.

Im Intervall t1 befindet sich der Meßverstärker im Wesentlichen in Betrieb, und sein Ausgangsdatenwert wird für einen Wiederherstellvorgang verwendet oder an einen Ausgangskontakt gegeben. Dabei sind die Zeitintervalle t2 und t3 für den Wiederherstellvorgang wesentlicher, und es benötigt mehr Zeit, die Ausgangsdaten an den Ausgangskontakt zu übertragen.

Anders gesagt, benötigt es Zeit, die Ausgangsdaten an einen Ausgangspuffer zu übertragen und die Daten vom Puffer an den Ausgangskontakt zu übertragen, wenn ein Ausgabe-Freigabesteuersignal empfangen wird. Wenn die Zeit für den Puffer in Übereinstimmung mit den Intervallen t2 und t3 gewählt wird, ist es möglich, daß der Verlust an Zugriffszeit folgend auf die Intervalle t2 und t3 vernachlässigbar ist.

So ist die Erläuterung für den Schreib- und den Lesemodus entsprechend jedem der Zeitintervalle t1, t2, t3 und t4 die folgende.

Zeitintervall t1

Im Zeitintervall t1 werden Ausgangssignale SWL1S und SWL2S, wie sie von einem Wortleitungstreiber an die erste und zweite unterteilte Wortleitung 74 und 75 gelegt werden, von niedrigem auf hohen Pegel umgeschaltet. Wenn dies der Fall ist, werden der erste und der zweite Transistor 70 und 72 eingeschaltet, die Bitleitung 76 und der Knoten 1 werden elektrisch miteinander verbunden und auch die /Bitleitung 77 und der Knoten 2 werden elektrisch miteinander verbun-

den. Dabei gilt für die Vcc-Übertragungscharakteristik, wobei es sich um den hohen Pegel des ersten und zweiten Transistors 70 und 72 handelt, Vcc-V_{tn}, und es existiert der Schwellenspannungs-Abfallverlust V_{tn} des NMOS-Transistors, jedoch befindet sich der niedrige Pegel auf dem guten Wert von 0 V.

Im Schreibmodus wird, wenn die Bitleitung 76 hoch und die /Bitleitung 77 niedrig liegt, die Spannung Vcc-V_{tn} an den Knoten 1 angelegt, und an den Knoten 2 wird die Spannung 0 angelegt. In diesem Fall wird der erste ferroelektrische Kondensator 71 nicht polarisiert. Da jedoch die an den zweiten ferroelektrischen Kondensator 73 angelegte Spannung ausreichend hoch ist, um für Polarisation zu sorgen, liegt sein Zustand auf dem Punkt f in der Hystereseschleife von Fig. 1.

Daher wechselt der zweite ferroelektrische Kondensator 73 auf dieselbe Polarisation wie die Spannung an der Bitleitung 77.

Wenn sich die /Bitleitung 77 auf dem hohen Pegel befindet und sich die Bitleitung 76 auf dem niedrigen Pegel befindet, wird die Spannung Vcc-V_{tn} an den Knoten 2 angelegt, während die Spannung 0 an den Knoten 1 angelegt wird. In diesem Fall wird der zweite ferroelektrische Kondensator 73 nicht polarisiert. Da jedoch die an den ersten ferroelektrischen Kondensator 71 angelegte Spannung ausreichend hoch dafür ist, für Polarisation zu sorgen, liegt sein Zustand auf dem Punkt f in der Hystereseschleife von Fig. 1.

Daher wird der erste ferroelektrische Kondensator 71 auf dieselbe Polarisation wie die Spannung an der Bitleitung 76 umgeschaltet.

Bevor der Lesemodus in das Intervall t1 übergeht, werden die Bitleitung 76 und die /Bitleitung 77 auf niedrigem Niveau ausgeglichen.

Die vom Wortleitungstreiber an die erste und die zweite unterteilte Wortleitung 74 und 75 angelegten Ausgangssignale SWL1S und SWL2S werden dann von niedrigem auf hohen Pegel verstellt. Wenn dies der Fall ist, werden der erste und der zweite Transistor 70 und 72 eingeschaltet, und die Ladung am Knoten 1 und am Knoten 2 des ersten und zweiten ferroelektrischen Kondensators 71 und 73 wird an die Bitleitung 76 und die /Bitleitung 77 übertragen.

Wenn sich der erste ferroelektrische Kondensator 71 im Zustand 1 befand und sich der zweite ferroelektrische Kondensator 73 im Zustand 0 befand, ist die durch den ersten ferroelektrischen Kondensator 71 verursachte positive Ladung größer als die durch den zweiten ferroelektrischen Kondensator 72, und die Spannung der Bitleitung 76 ist höher als diejenige der /Bitleitung 77. Der Meßverstärker verstärkt die Spannungsdifferenz zwischen den zwei Leitungen 76 und 77, und daher geht die Bitleitung auf Hoch, während die /Bitleitung 77 auf Niedrig geht. Daher geht der Knoten 1 auf Vcc-V_{tn} und der Knoten 2 geht auf 0 V.

Im Ergebnis kann der Zustand 1 nicht wiederhergestellt werden, da die Spannungsdifferenz zwischen den beiden Elektroden des ersten ferroelektrischen Kondensators 71 den Wert V_{tn} hat. Jedoch wird Vcc an den zweiten ferroelektrischen Kondensator 73 angelegt, wodurch in diesem der Zustand 0 wiederhergestellt werden kann.

Wenn sich dagegen der erste ferroelektrische Kondensator 71 auf dem Zustand 0 befand und sich der zweite ferroelektrische Kondensator 73 im Zustand 1 befand, ist die durch den ersten ferroelektrischen Kondensator 71 verursachte positive Ladung kleiner als die durch den zweiten ferroelektrischen Kondensator 73, und die Spannung der Bitleitung 76 ist niedriger als die der /Bitleitung 77. Der Meßverstärker verstärkt die Spannungsdifferenz zwischen den zwei Leitungen 76 und 77, und daher geht die Bitleitung 76 auf Hoch und die /Bitleitung 77 geht auf Niedrig. Daher geht

der Knoten 1 auf 0 V und der Knoten 2 geht auf Vcc-V_{tn}.

Im Ergebnis kann der Zustand 0 wiederhergestellt werden, da die Spannungsdifferenz zwischen den beiden Elektroden des ersten ferroelektrischen Kondensators 71 den Wert Vcc hat. Jedoch wird V_{tn} an den zweiten ferroelektrischen Kondensator 73 angelegt, und in diesem kann der Zustand 1 nicht wiederhergestellt werden.

Gemäß den obigen Einzelheiten ist es möglich, im Zeitintervall t1 den Zustand 0 im Speicher zu schreiben oder zu lesen.

Zeitintervall t2

Im Zeitintervall t2 wird das Ausgangssignal SWL1S des Wortleitungstreibers von Hoch auf Niedrig umgeschaltet, und das Signal SWL2S behält seinen hohen Pegel wie im Intervall t1.

Wenn ein Impuls auf diese Weise geändert wird, schaltet der erste Transistor 70 ab und der Knoten 2 befindet sich in einem potentialungebundenen Zustand. Der zweite Transistor 72 behält seinen eingeschalteten Zustand und der Knoten 2 steht elektrisch in Verbindung mit der /Bitleitung 77.

Der Schreibmodus und der Lesemodus im Intervall t2 sind die folgenden.

Wenn im Intervall von t1 bis t4 die Bitleitung 76 hoch ist und die /Bitleitung 77 niedrig ist, befindet sich der Knoten 1 in einem potentialungebundenen Zustand, weswegen der Zustand des Intervalls t1 kontinuierlich aufrechterhalten bleibt.

Es existiert keine Änderung der Spannung SWL2, weswegen im ersten ferroelektrischen Kondensator 71 keine Polarisationsänderung auftritt. Im Ergebnis existiert keine Bewegung entlang der Hystereseschleife von Fig. 1.

Der Zustand des zweiten ferroelektrischen Kondensators 73 verschiebt sich jedoch vom Punkt f auf den Punkt a auf der Hystereseschleife von Fig. 1.

Wenn sich im Intervall von t1 bis t2 die Bitleitung 76 auf Niedrig und die /Bitleitung 77 auf Hoch befinden, befindet sich der Knoten 1 in einem potentialungebundenen Zustand, weswegen der Zustand aus dem Intervall t1 beinahe aufrechterhalten bleibt.

Da keine Änderung der Spannung SWL2 vorliegt, tritt keine Polarisationsänderung des ersten ferroelektrischen Kondensators 71 auf. Daher existiert keine Bewegung entlang der Hystereseschleife von Fig. 1.

Der Zustand des zweiten ferroelektrischen Kondensators 72 bewegt sich dagegen zum Punkt c auf der Hystereseschleife von Fig. 1.

Gemäß den vorstehenden Einzelheiten ist es möglich, im zweiten ferroelektrischen Kondensator 73 im Intervall t2 den Zustand 1 einzuschreiben oder wiederherzustellen.

Zeitintervall t3

Im Intervall t3 wird das Ausgangssignal SWL1S des Wortleitungstreibers von Niedrig auf Hoch verstellt und das Signal SWL2S wird von Hoch auf Niedrig verstellt. Dann wechselt der erste Transistor 70 auf den eingeschalteten Zustand, weswegen der Knoten 1 elektrisch mit der Bitleitung 76 verbunden wird. Der zweite Transistor 72 wird ausgeschaltet, und der Knoten 2 befindet sich in einem potentialungebundenen Zustand.

Wenn SWL1 von Niedrig auf Hoch verstellt wird, kann der Knoten 2, für den anzunehmen ist, daß er sich in einem potentialungebundenen Zustand befindet, angehoben werden.

Der Betrieb im Schreib- und Lesemodus im Intervall t3 ist der folgende.

In den Intervallen t1, t2, t3 und t4 hat, wenn die Bitleitung 76 hoch liegt und die /Bitleitung 77 niedrig liegt, die Spannung am Knoten 1 den Wert $V_{cc}-V_{tn}$, und diese wird vom Zustand der Bitleitung 76 übertragen. Da SWL2S niedrig ist, läuft der erste ferroelektrische Kondensator 71 zum Punkt c auf der Hystereseschleife.

Der Knoten 2 befindet sich in einem potentialungebundenen Zustand und wird daher durch die Zunahmeänderung von SLW1 beeinflusst, wobei er jedoch keinen Einfluß auf die Polarisierung des zweiten ferroelektrischen Kondensators 73 hat. Daher verbleibt der zweite ferroelektrische Kondensator 73 auf dem Punkt a der Hystereseschleife.

Wenn im Intervall von t1 bis t4 die Bitleitung 76 auf Niedrig und die /Bitleitung 77 auf Hoch liegt, befindet sich der Knoten 1 auf niedrigem Pegel, wie er von der Bitleitung 76 übertragen wird, und SWL2S befindet sich auf Niedrig. Daher läuft der erste ferroelektrische Kondensator 71 zum Punkt a auf der Hystereseschleife.

Der Knoten 2 befindet sich in einem potentialungebundenen Zustand und wird daher durch die Zunahmeänderung von SLW1S beeinflusst, wobei er jedoch keinen Einfluß auf die Polarisierung des zweiten ferroelektrischen Kondensators 73 hat. Daher verbleibt der zweite ferroelektrische Kondensator 73 auf dem Punkt d der Hystereseschleife.

Gemäß den obigen Einzelheiten ist es möglich, im ersten ferroelektrischen Kondensator 71 für das Intervall t3 den Zustand 1 einzuschreiben oder wiederherzustellen.

Zeitintervall t4

Im Zeitintervall t4 werden die Ausgangssignale SWL1S und SWL2S des Wortleitungstreibers von Hoch auf Niedrig gestellt, weswegen eine ausgewählte SWL-Zelle deaktiviert wird.

Dann werden der erste Transistor 70 und der zweite Transistor 72 ausgeschaltet, und der Knoten 1 und der Knoten 2 befinden sich im potentialungebundenen Zustand, wobei sie jedoch durch ein Leck am n^+ -Übergang eine allmähliche Verschiebung auf den niedrigen Pegel erfahren.

Der Betrieb im Schreib- und Lesemodus im Intervall t4 ist der folgende.

Wenn im Intervall von t1 bis t4 die Bitleitung 76 auf Hoch und die /Bitleitung 77 auf Niedrig ist, läuft die Polarisierung des ersten ferroelektrischen Kondensators 71 zum Punkt d auf der Hystereseschleife, und die Polarisierung des zweiten ferroelektrischen Kondensators 73 läuft zum Punkt a.

Wenn im Intervall von t1 bis t4 dagegen die Bitleitung 76 auf Niedrig und die /Bitleitung 77 auf Hoch ist, läuft die Polarisierung des ersten ferroelektrischen Kondensators 71 zum Punkt a auf der Hystereseschleife, und die Polarisierung des zweiten ferroelektrischen Kondensators 73 läuft zum Punkt d.

Der Aufbau des Wortleitungstreibers für Lese/Schreibvorgänge im erfindungsgemäßen nichtflüchtigen ferroelektrischen Speicher ist der folgende. Dabei werden ein Wortleitungs-Treibersteuersignal-Generator, ein Adressendecodiersignal-Generator und ein Wortleitungs-Treibersignal-Generator unter Bezugnahme auf die Fig. 9 bis 11 erläutert.

Der Wortleitungs-Treibersteuersignal-Generator und der Adressendecodiersignal-Generator werden als periphere Schaltungen eines Halbleiterbauteils hergestellt. Der Wortleitungs-Treibersteuersignal-Generator, wie er in Fig. 9 dargestellt ist, umfaßt eine erste Impulsbreitensteuerung 90 mit mehreren in Reihe geschalteten Invertern, wobei mindestens ein Inverter vorhanden ist, der zwischen PMOS und NMOS unterschiedliches Stromverhältnis aufweist, und einen Adressenübergangserkennungs (ATD = Address Transition Detection)-Eingangsimpuls erhält, wobei er die Impuls-

breite verbreitert und einen verbreiterten Impuls ausgibt; eine NOR-Ausgangsschaltung 91, die hinsichtlich des Ausgangssignals der ersten Impulsbreitensteuerung 90 und des ATD-Eingangsimpulses eine NOR-Operation ausführt und ein Signal ausgibt; eine zweite Impulsbreitensteuerung 92 mit mehreren in Reihe geschalteten Invertern, von denen mindestens einer unterschiedliches Stromverhältnis zwischen PMOS und NMOS aufweist und das Ausgangssignal der NOR-Ausgangsschaltung 91 empfängt, wobei er die Impulsbreite verbreitert und einen verbreiterten Impuls ausgibt; eine erste NAND-Ausgangsschaltung 96, die über ihre drei Eingangsanschlüsse den invertierten ATD-Impuls, das Ausgangssignal der NOR-Ausgangsschaltung 91 sowie das Ausgangssignal der zweiten Impulsbreitensteuerung 92 empfängt, diese Signale filtert und sie als gefiltertes Signal ausgibt; einen ersten Wortleitungs-Treibersteuersignal-Generator 97, der von der ersten NAND-Ausgangsschaltung 96 das gefilterte Signal empfängt, dasselbe puffert und ein erstes Wortleitungs-Treibersteuersignal o1 erzeugt; eine zweite NAND-Schaltung 94, die über ihre drei Eingangsanschlüsse das Ausgangssignal der ersten Impulsbreitensteuerung 90, das Ausgangssignal des Inverters 93 und das Ausgangssignal der ersten NAND-Ausgangsschaltung 96 empfängt, diese durch eine NAND-Operation filtert und das gefilterte Signal ausgibt; einen zweiten Wortleitungs-Treibersteuersignal-Generator 95, der das Ausgangssignal der zweiten NAND-Ausgangsschaltung 94 empfängt, dasselbe puffert und ein zweites Wortleitungs-Treibersteuersignal o2 erzeugt; eine dritte NAND-Schaltung 98, die über ihre drei Eingangsanschlüsse ein Signal mit gesteuerter Impulsbreite empfängt, von einem Inverter der ersten Stufe der ersten Impulsbreitensteuerung 90 ausgegeben wird, in dem das Stromverhältnis zwischen PMOS und NMOS verschieden ist, und das gefilterte Signal der zweiten NAND-Ausgangsschaltung 94 sowie das gefilterte Signal der ersten NAND-Ausgangsschaltung 96 empfängt, diese Signale filtert und ein gefiltertes Signal ausgibt; und einen dritten Wortleitungs-Treibersteuersignal-Generator 99, der das Ausgangssignal der dritten NAND-Ausgangsschaltung 98 empfängt, dasselbe puffert und ein drittes Wortleitungs-Treibersteuersignal o3 erzeugt.

Der erste, zweite und dritte Wortleitungs-Treibersteuersignal-Generator 97, 95 und 99 sind jeweils ein Puffer mit zwei in Reihe geschalteten Invertern.

Hierbei beträgt das Breite/Länge-Verhältnis des PMOS eines aus einem pMOS und einem nMOS bestehenden Inverters, die voneinander verschiedene Stromverhältnisse aufweisen, ungefähr 2 : 4, und das Breite/Länge-Verhältnis des NMOS dieses Inverters beträgt ungefähr 4 : 0,7. Das Breite/Länge-Verhältnis des Gates des PMOS des Inverters, der nicht die Breite des Eingangsimpulses steuert, sondern nur denselben invertiert, beträgt ungefähr 12 : 0,8, und das Breite/Länge-Verhältnis des NMOS des Inverters beträgt ungefähr 6 : 0,7.

Außerdem erzeugt der Adressendecodiersignal-Generator aus dem ersten, zweiten und dritten Wortleitungs-Treibersteuersignal o1, o2 und o3 sowie einem ersten, zweiten, dritten und vierten Adressenpuffersignal a1, a2, a3 und a4 ein erstes, zweites und drittes Adressendecodiersignal X1, X2 und X3. Dieser Adressendecodiersignal-Generator ist in einer Peripherieschaltung des Halbleiterbauteils ausgebildet.

Die Schaltung des Adressendecodiersignal-Generators, wie sie in Fig. 10 dargestellt ist, umfaßt eine erste Adressendecodiersignal-Ausgangsschaltung 100, die am ersten und zweiten Adressenpuffersignal a1 und a2 sowie am ersten Wortleitungs-Treibersteuersignal o1 über ihre drei Eingangsanschlüsse eine NAND-Operation ausführt und das er-

ste Adressendecodiersignal X1 durch Invertieren des Ausgangssignals der NAND-Operation erzeugt; eine zweite Adressendecodiersignal-Ausgangsschaltung 101, die am dritten und vierten Adressenpuffersignal a3 und a4 sowie am ersten Wortleitungs-Treibersteuersignal o2 über ihre drei Eingangsanschlüsse eine NAND-Operation ausführt und durch Invertieren des Ausgangssignals der NAND-Operation das zweite Adressendecodiersignal X2 erzeugt; und eine dritte Adressendecodiersignal-Ausgangsschaltung 102, die am dritten und vierten Adressenpuffersignal a3 und a4 sowie am dritten Wortleitungs-Treibersteuersignal o3 über ihre drei Eingangsanschlüsse eine NAND-Operation ausführt und das durch Invertieren des Ausgangssignals der NAND-Operation das dritte Adressendecodiersignal X3 erzeugt.

Sowohl die erste, zweite als auch die dritte Adressendecodiersignal-Ausgangsschaltung 100, 101 und 102 ist mit einem NAND-Gatter und einem Inverter in Verbindung mit dem Ausgangsanschluß dieses NAND-Gatters versehen.

Der Wortleitungs-Treibersteuersignal-Generator dient zum Erzeugen der Treibersignale SWL1S und SWL2S, die an die erste bzw. zweite unterteilte Wortleitung 74 bzw. 75 angelegt werden. Eine Schaltung des Wortleitungs-Treibersteuersignal-Generators, wie sie in Fig. 11 dargestellt ist, umfaßt einen ersten Wortleitungs-Treibersignal-Generator 103, der am ersten und zweiten Adressendecodiersignal X1 und X2 eine NAND-Operation ausführt und durch Invertieren des Ausgangssignals dieser NAND-Operation das erste Treibersignal SWL1S erzeugt, das an die erste unterteilte Wortleitung 64 anzulegen ist; und einen zweiten Wortleitungs-Treibersignal-Generator 104, der am ersten und dritten Adressendecodiersignal X1 und X3 eine NAND-Operation ausführt und durch Invertieren des Ausgangssignals dieser NAND-Operation das zweite Treibersignal SWL2S erzeugt, das an die zweite unterteilte Wortleitung 75 anzulegen ist.

Sowohl der erste als auch der zweite Wortleitungs-Treibersignal-Generator 103 und 104 sind mit einem NAND-Gatter und einem Inverter in Verbindung mit dem Ausgangsanschluß desselben versehen.

Die Funktion beim Erzeugen von Decodier- und Treibersignalen im erfindungsgemäßen nichtflüchtigen ferroelektrischen SWL-Speicher wird unter Bezugnahme auf die Fig. 12 bis 13 wie folgt erläutert.

Wenn der ATD-Eingangsimpuls an eine Eingangsstufe des Wortleitungs-Treibersteuersignal-Generators in Fig. 9 angelegt wird, stellt die erste Impulsbreitensteuerung 90 die Breite des ATD-Eingangsimpulses ein, und das NOR-Gatter 91 führt am Ausgangssignal der Steuerung 90 und am ATD-Eingangssignal, wie über seine zwei Eingangsanschlüsse empfangen, eine NOR-Operation aus. Das Ausgangssignal des NOR-Gatters 91 wird an die zweite Impulsbreitensteuerung 92 gegeben, damit die Impulsbreite verbreitert wird.

Die erste NAND-Ausgangsschaltung 96 führt am Ausgangssignal des NOR-Gatters 91, am Ausgangssignal des das ATD-Eingangssignal invertierenden Inverters 93 sowie am Ausgangssignal der zweiten Impulsbreitensteuerung 92, wie über ihre drei Eingangsanschlüsse empfangen, eine NAND-Operation aus, und sie versorgt einen Puffer 97 mit ihrem Ausgangssignal. Das erste Wortleitungs-Treibersteuersignal o1 wird vom Ausgangsanschluß des Puffers 97 erhalten.

Auf dieselbe Weise führt die zweite NAND-Ausgangsschaltung 94 am Ausgangssignal der ersten Impulsbreitensteuerung 90, am Ausgangssignal des das ATD-Eingangssignal invertierenden Inverters 93 sowie am Ausgangssignal der ersten NAND-Ausgangsschaltung 96, wie über ihre drei Eingangsanschlüsse empfangen, eine NAND-Operation

aus, und sie versorgt einen Puffer 95 mit ihrem Ausgangssignal. Das zweite Wortleitungs-Treibersteuersignal o2 wird vom Ausgangsanschluß des Puffers 95 erhalten.

Die dritte NAND-Ausgangsschaltung 98 führt an den Ausgangssignalen der ersten und zweiten NAND-Ausgangsschaltung 96 und 94 sowie an einem invertierten ATD-Eingangssignal, wie über ihre drei Eingangsanschlüsse empfangen, eine NAND-Operation aus, und sie versorgt einen Puffer 99 mit ihrem Ausgangssignal. Das dritte Wortleitungs-Treibersteuersignal o3 wird vom Ausgangsanschluß des Puffers 99 erhalten.

Das erste, zweite und dritte Wortleitungs-Treibersteuersignal o1, o2 und o3 werden an den Adressendecodiersignal-Generator von Fig. 10 gegeben, der das erste, zweite und dritte Adressendecodiersignal erzeugt.

Anders gesagt, werden das erste Wortleitungs-Treibersteuersignal o1 sowie das erste und zweite Adressenpuffersignal a1 und a2 an den ersten Adressendecodiersignal-Generator 100 gegeben, in dem eine NAND-Operation und eine Invertierung aufeinanderfolgend ausgeführt werden, und daher wird von ihm das erste Adressendecodiersignal X1 erhalten.

Das zweite Wortleitungs-Treibersteuersignal o2 sowie das dritte und vierte Adressenpuffersignal a3 und a4 werden an den zweiten Adressendecodiersignal-Generator 101 gegeben, in dem eine NAND-Operation und eine Invertierung aufeinanderfolgend ausgeführt werden, und von ihm wird das zweite Adressendecodiersignal X2 erhalten.

Das dritte Wortleitungs-Treibersteuersignal o3 sowie das dritte und vierte Adressenpuffersignal a3 und a4 werden an den dritten Adressendecodiersignal-Generator 102 gegeben, in dem eine NAND-Operation und eine Invertierung aufeinanderfolgend ausgeführt werden, und von ihm wird das dritte Adressendecodiersignal X3 erhalten.

Das erste, zweite und dritte Adressendecodiersignal X1, X2 und X3 werden an die Wortleitungs-Treibersteuersignal-Generatoren von Fig. 11 gegeben, in denen eine NAND-Operation und eine Invertierung aufeinanderfolgend ausgeführt werden, und von ihnen werden zwei Signale zum Ansteuern der ersten und zweiten unterteilten Wortleitung erhalten.

Nun folgt eine Erläuterung zu einem Layout (Fig. 14), einer Schnittansicht (Fig. 15) und einem Herstellprozeß (Fig. 16a bis 16h) eines erfindungsgemäßen nichtflüchtigen ferroelektrischen Speichers.

Wie es in den Fig. 14 und 15 dargestellt ist, umfaßt der nichtflüchtige ferroelektrische Speicher ein Halbleitersubstrat 160 mit einem durch eine Feldoxidschicht 161 bestimmten aktiven Bereich; eine Gateleitung 163a, die selektiv im aktiven Bereich des Halbleitersubstrats 160 ausgebildet ist und davon ausgehend als erste und zweite unterteilte Wortleitung verwendet wird; eine untere Elektrode 163b eines Kondensators; einen Source/Drain-Bereich 164, der auf der Oberfläche zu beiden Seiten der Gateleitungen 163a im Halbleitersubstrat 160 ausgebildet ist; eine erste Isolierschicht 165, die selektiv auf der Gateleitung 163a und dem Source/Drain-Bereich 164 ausgebildet ist; eine ferroelektrische Schicht 166, die auf der unteren Elektrode 163b des Kondensators ausgebildet ist; eine Metallelektroden-schicht (obere Elektrode des Kondensators + Kontaktstopfenschicht) 168, die auf der Oberseite der ferroelektrischen Schicht 166 ausgebildet ist und davon ausgehend in Kontakt mit dem Source- oder Drainbereich 164 steht; eine zweite Isolierschicht 169, die selektiv auf der Metallelektroden-schicht 168 ausgebildet ist; und eine Metalleitungsschicht (Bitleitung und /Bitleitung) 171, die in Kontakt mit dem anderen Bereich hinsichtlich des Source- und des Drainbereichs 164 steht.

Nun wird ein Herstellprozeß für den erfindungsgemäßen nichtflüchtigen ferroelektrischen Speicher gemäß der folgenden Prozeßabfolge erläutert.

Als erstes wird, wie es in Fig. 16a dargestellt ist, eine Feldoxidschicht 161 im Elementisolierbereich auf dem Halbleitersubstrat 160 hergestellt, und es wird ein aktiver Bereich 162 festgelegt, in dem ein erster und ein zweiter Transistor 70 und 72 auszubilden sind.

Im nächsten Prozeß werden, wie es in Fig. 16b dargestellt ist, die Gateleitung 163a des ersten und zweiten Transistors 70 und 72 sowie eine untere Elektrode 163b, auf dem der erste und zweite ferroelektrische Kondensator 71 und 72 auszubilden sind, hergestellt. Wie es in Fig. 16c dargestellt ist, wird der Source/Drain-Bereich 164 des ersten und zweiten Transistors 70 und 72 durch einen Fremdstoffionen-Injektionsprozeß unter Verwendung der Gateleitung 163a und der unteren Elektrode 163b als Maske hergestellt.

Wie es in Fig. 16d dargestellt ist, wird auf der unteren Elektrode 163b des Kondensators eine ferroelektrische Schicht 165 hergestellt.

Wie es in Fig. 16e dargestellt ist, wird auf der gesamten Oberfläche eine erste Isolierschicht 166 hergestellt, und diese wird selektiv entfernt, und darin wird ein erstes Kontaktloch 167 hergestellt, um eine Elektrode des ersten und zweiten ferroelektrischen Kondensators 71 und 73 mit einem Knoten in der Zelle jedes des ersten und zweiten Transistors 70 und 72 zu verbinden.

Wie es in Fig. 16f dargestellt ist, wird eine Metallelektroden-schicht (obere Elektrode des Kondensators + Kontakstopfenschicht) 168 hergestellt, um, durch das erste Kontaktloch 167 hindurch, eine Elektrode jeweils des ersten und zweiten ferroelektrischen Kondensators 71 und 73 mit dem Source- oder Drainbereich des ersten bzw. zweiten Transistors 70 bzw. 72 zu verbinden.

Wie es in Fig. 16g dargestellt ist, wird auf der gesamten Oberfläche eine zweite Isolierschicht 169 hergestellt, und diese wird selektiv entfernt, und es wird ein zweites Kontaktloch 170 in ihr ausgebildet, um hinsichtlich des Source- und des Drainbereichs im ersten und zweiten Transistor 70 und 72 den anderen Bereich freizulegen.

Wie es in Fig. 16h dargestellt ist, wird eine Metallleitungsschicht 171 hergestellt, die als Bitleitung und /Bitleitung zu verwenden ist, die durch das zweite Kontaktloch 170 hindurch mit dem anderen Bereich hinsichtlich des Source- und des Drainbereichs 164 in Verbindung stehen.

So weist der erfindungsgemäße 2T/2C-FRAM eine Datenverarbeitungsgeschwindigkeit auf, die so hoch wie die bei einem DRAM ist, wobei er aber die gespeicherten Daten selbst dann aufrechterhält, wenn seine Versorgungsspannung abgeschaltet ist.

Der erfindungsgemäße nichtflüchtige ferroelektrische SWL-Speicher mit unterteilter Wortleitung zeigt die folgenden Effekte:

- Erstens verfügt er über eine Zellenstruktur mit Zellenplattenfunktion unter Verwendung einer Wortleitung, ohne gesonderte Zellenplattenleitung, wie sie bei einem 2T/2C-Speicher bisher erforderlich war, weswegen der Effekt einer Vereinfachung der Speicherstruktur vorliegt.
- Zweitens wird dadurch, daß die Zelle so ausgebildet wird, daß sie eine Struktur mit unterteilter Wortleitung aufweist, keine Zellenplattenleitung hergestellt, wie sie bei der bekannten 2T/2C-Speicherstruktur erforderlich ist, weswegen der Effekt einer Vereinfachung des Herstellprozesses besteht. Dieser Effekt hat den Vorteil einer Verbesserung der Topologie des Zellenquerschnitts, und es wird wegen einer Verringerung der

Layoutfläche hohe Integrationsdichte erzielt.

- Drittens existiert unter Verwendung des ATD-Impulses als Impuls zum Ansteuern der unterteilten Wortleitung der Effekt einer Verringerung einer Fehlanpassung, wobei dieser Effekt viel stärker als bei Verwendung eines üblichen Impulsgenerators ist. Außerdem ist der Energieverbrauch verringert, da eine Ansteuerung nur dann erfolgt, wenn der Speicher betrieben wird.

Patentansprüche

1. Nichtflüchtiger ferroelektrischer Speicher mit nichtflüchtigen Speicherzelleneinheiten, **dadurch gekennzeichnet**, daß jede Zelleneinheit folgendes aufweist:

- einen ersten Transistor (70) mit einer Source, einem Drain und einem Gate, das mit einer Wortleitung (74) verbunden ist;
- einen ersten ferroelektrischen Kondensator (71), dessen eine Elektrode mit der Source des ersten Transistors verbunden ist und dessen andere Elektrode mit einer anderen Wortleitung (75) verbunden ist;
- einen zweiten Transistor (72) mit einer Source, einem Drain und einem Gate, das mit der anderen Wortleitung verbunden ist, die in Verbindung mit dem ersten ferroelektrischen Kondensator steht; und
- einen zweiten ferroelektrischen Kondensator (73), dessen eine Elektrode mit der Source des zweiten Transistors verbunden ist und dessen andere Elektrode mit der anderen Wortleitung verbunden ist, die in Verbindung mit dem Gate des ersten Transistors steht.

2. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß der jeweilige Drain des ersten und des zweiten Transistors (70, 72) mit einer Bitleitung (76) bzw. einer /Bitleitung (77) verbunden ist.

3. Nichtflüchtiger ferroelektrischer Speicher mit nichtflüchtigen Speicherzelleneinheiten, dadurch gekennzeichnet, daß jede Zelleneinheit folgendes aufweist:

- erste unterteilte Wortleitungen (SWL1, 74) und zweite unterteilte Wortleitungen (SWL2, 75);
- erste Transistoren (T1, 70), deren Gates in eindeutiger Verbindung mit einer jeweiligen der ersten unterteilten Wortleitungen stehen;
- zweite Transistoren (T2, 72), deren Gates in eindeutiger Verbindung mit einer jeweiligen der zweiten unterteilten Wortleitungen stehen;
- mehreren ersten ferroelektrischen Kondensatoren (71), deren eine Elektrode mit der Source der ersten Transistoren verbunden ist und deren andere Elektrode mit der zweiten unterteilten Wortleitung verbunden ist;
- mehreren zweiten ferroelektrischen Kondensatoren (73), deren eine Elektrode mit der ersten unterteilten Wortleitung verbunden ist und deren andere Elektrode mit der Source des zweiten Transistors verbunden ist;
- Bitleitungen (76), die mit dem Drain des ersten Transistors verbunden sind; und
- /Bitleitungen (77), die mit dem Drain des zweiten Transistors verbunden sind.

4. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß die Bitleitung (76) und die /Bitleitung (77) mit einer Spaltenauswahlsteuerung und einem Meßverstärker verbunden sind und von dort aus Daten sowohl in

einem Lese- als auch einem Schreibmodus übertragen.
 5. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß eine bei einem Schreibvorgang ausgewählte Zelle im Schreibmodus arbeitet, während eine nicht ausgewählte Zelle in derselben Wortleitung im Lese-
 5 modus arbeitet, weswegen sich die nicht ausgewählte Zelle in einem Wiederherstellvorgang befindet.

6. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß Schreib- und Lesevorgänge gemäß der folgenden Abfolge ausgeführt werden:

- in einem Zeitintervall t1 wird ein hoher Impuls an die erste und zweite unterteilte Wortleitung (74, 75) einer ausgewählten Zelle angelegt;
- in einem Zeitintervall t2 wird ein auf Niedrig verstellter Impuls an die erste unterteilte Wortleitung angelegt, während ein hoher Impuls an die zweite unterteilte Wortleitung angelegt wird; und
- in einem Zeitintervall t3 wird ein auf Hoch verstellter Impuls an die erste unterteilte Wortleitung angelegt, während ein auf Niedrig verstellter Impuls an die zweite unterteilte Wortleitung angelegt wird.

7. Speicher nach Anspruch 3, dadurch gekennzeichnet, daß dann, wenn er sich im Schreibmodus befindet, der erste und der zweite ferroelektrische Kondensator (71, 73) mit derselben Polarisierung wie die Bitleitung (76) bzw. die /Bitleitung (77) polarisiert werden, während dann, wenn er sich im Lesemodus befindet, der erste und der zweite ferroelektrische Kondensator auf dieselbe Polarisierung wie die Bitleitung bzw. die /Bitleitung wiederhergestellt werden.

8. Speicher nach Anspruch 3 oder Anspruch 6, dadurch gekennzeichnet, daß dann, wenn sich die Bitleitung (76) auf hohem Pegel befindet und sich die /Bitleitung (77) auf niedrigem Pegel befindet, der erste ferroelektrische Kondensator (71) im Intervall t3 auf den Polarisationszustand 1 geschrieben oder wiederhergestellt wird und der zweite ferroelektrische Kondensator im Zeitintervall t1 auf den Polarisationszustand 0 geschrieben oder wiederhergestellt wird.

9. Speicher nach Anspruch 3 oder Anspruch 6, dadurch gekennzeichnet, daß dann, wenn sich die Bitleitung (76) auf niedrigem Pegel befindet und sich die /Bitleitung (77) auf hohem Pegel befindet, der erste ferroelektrische Kondensator (71) im Intervall t1 auf den Polarisationszustand 0 geschrieben oder wiederhergestellt wird und der zweite ferroelektrische Kondensator im Zeitintervall t2 auf den Polarisationszustand 1 geschrieben oder wiederhergestellt wird.

10. Speicher nach Anspruch 3 oder Anspruch 6, dadurch gekennzeichnet, daß dann, wenn er sich im Lesemodus befindet, ein Meßverstärker-Freigabesignal den hohen Zustand für die Intervalle t1, t2 und t3 aufrechterhält.

11. Speicher nach Anspruch 3 oder Anspruch 4, dadurch gekennzeichnet, daß die Bitleitung (76) und die /Bitleitung (77), wie sie mit dem jeweiligen Drain des ersten und zweiten Transistors (70, 72), die eine Zelleinheit bilden, verbunden sind, an einen Meßverstärker angeschlossen sind, von dem ein Datenwert erhalten wird.

12. Speicher nach Anspruch 3 oder Anspruch 4, dadurch gekennzeichnet, daß die Bitleitung (76) und die /Bitleitung (77), die mit dem jeweiligen Drain des ersten und zweiten Transistors (70, 72), die eine Zelleinheit bilden, verbunden sind, an einen jeweiligen von zwei Meßverstärkern angeschlossen sind, von denen zwei Datenwerte erhalten werden.

13. Wortleitungstreiber für einen nichtflüchtigen ferroelektrischen Speicher, gekennzeichnet durch:

- einen Wortleitungs-Treibersteuersignal-Generator (Fig. 9), der einen ATD (Address Transition Detection = Adressenübergangserkennung)-Eingangsimpuls empfängt, die Impulsbreite dieses Impulses einstellt, eine Operation am ATD-Impulssignal und dem Impuls mit verbreiteter Impulsbreite ausführt und daraus ein erstes, zweites und drittes Wortleitungs-Treibersteuersignal (o1, o2, o3) erzeugt;

- einen Adressendecodiersignal-Generator (Fig. 10), der das erste, zweite und dritte Wortleitungs-Treibersteuersignal sowie ein erstes, zweites, drittes und viertes Adressenpuffersignal (a1, a2, a3, a4) empfängt, an diesen eine Operation ausführt und daraus ein erstes, zweites und drittes Adressendecodiersignal (X1, X2, X3) erzeugt; und

- einen Wortleitungs-Treibersignal-Generator (Fig. 11), der das erste, zweite und dritte Adressendecodiersignal empfängt, eine Operation an diesen ausführt und daraus ein erstes und ein zweites Wortleitungs-Treibersignal erzeugt, die an die erste bzw. zweite unterteilte Wortleitung (74, 75) der ausgewählten Zelle gegeben werden.

14. Treiber nach Anspruch 13, dadurch gekennzeichnet, daß der Wortleitungs-Treibersteuersignal-Generator folgendes aufweist:

- eine erste Impulsbreitensteuerung (90), die den ATD-Eingangsimpuls empfängt, die Breite dieses Impulses verbreitert und den Impuls mit verbreiteter Impulsbreite ausgibt;
- eine NOR-Ausgangsschaltung (91), die am Ausgangssignal der ersten Impulsbreitensteuerung und am ATD-Eingangsimpuls eine NOR-Operation ausführt und das Ergebnis derselben ausgibt;
- eine zweite Impulsbreitensteuerung (92), die den Ausgangsimpuls der NOR-Ausgangsschaltung empfängt, die Impulsbreite verbreitert und den Impuls mit verbreiteter Impulsbreite ausgibt;
- eine erste NAND-Ausgangsschaltung (96), die ein gegenüber dem ATD-Eingangsimpuls invertiertes Signal, den Ausgangsimpuls der NOR-Ausgangsschaltung sowie den Ausgangsimpuls der zweiten Impulsbreitensteuerung empfängt, an diesen eine Filteroperation ausführt und das Ergebnis derselben ausgibt;
- eine zweite NAND-Ausgangsschaltung (94), die ein gegenüber dem ATD-Eingangsimpuls invertiertes Signal, den Ausgangsimpuls der ersten NAND-Ausgangsschaltung sowie den Ausgangsimpuls der ersten Impulsbreitensteuerung empfängt, eine Filteroperation an diesen ausführt und das Ergebnis derselben ausgibt;
- eine dritte NAND-Ausgangsschaltung (98), die ein Signal mit einer in der ersten Stufe der ersten Impulsbreitensteuerung eingestellten Impulsbreite, wie von dieser ausgehen, sowie die Ausgangsimpulse der ersten und zweiten NAND-Ausgangsschaltung empfängt, eine Filteroperation an diesen ausführt und das Ergebnis derselben ausgibt, und
- einen ersten, zweiten und dritten Wortleitungs-Treibersteuersignal-Generator (97, 95, 99), die die Ausgangsimpulse der ersten, zweiten und dritten NAND-Ausgangsschaltung empfangen und ein erstes, zweites bzw. drittes Wortleitungs-Treiber-

steuersignal (o1, o2, o3) erzeugen.

15. Treiber nach Anspruch 14, dadurch gekennzeichnet, daß der erste, zweite und dritte Wortleitungs-Treibersteuersignal-Generator (97, 95, 99) einen Puffer enthalten, der aus zwei Invertiern in Reihenschaltung besteht.

16. Treiber nach Anspruch 14, dadurch gekennzeichnet, daß die erste und zweite Impulsbreitensteuerung (90, 92) mehrere Inverter mit Reihenschaltung enthalten, wobei mindestens ein Inverter mit einem PMOS/NMOS-Paar versehen ist, die voneinander verschiedene Stromverhältnisse aufweisen, sie den ATD-Eingangsimpuls empfangen, die Impulsbreite desselben verbreitern und den Impuls mit verbreiteter Impulsbreite ausgeben.

17. Treiber nach Anspruch 16, dadurch gekennzeichnet, daß der PMOS mit anderem Stromverhältnis als der NMOS in einem Inverter ein Breite/Länge-Verhältnis von 2 : 4 aufweist und der NMOS mit anderem Stromverhältnis gegenüber dem PMOS in einem Inverter ein Breite/Länge-Verhältnis von 4 : 0,7 aufweist.

18. Treiber nach Anspruch 16, dadurch gekennzeichnet, daß das Breite/Länge-Verhältnis des PMOS-Gates eines Inverters der nicht die Breite des in die erste und zweite Impulsbreitensteuerung (90, 92) eingegebenen Impulses einstellt, sondern lediglich den Impuls invertiert, 12 : 0,8 beträgt, während das Breite/Länge-Verhältnis des NMOS-Gates des Inverters 6 : 0,7 beträgt.

19. Treiber nach Anspruch 13, dadurch gekennzeichnet, daß der Adressendecodiersignal-Generator folgendes aufweist: - eine erste Adressendecodiersignal-Ausgangsschaltung (100), die das erste und zweite Adressenpuffersignal (a1, a2) sowie das erste Wortleitungs-Treibersteuersignal (o1) empfängt, an diesen eine NAND-Operation ausführt und das Ausgangssignal derselben invertiert und ein erstes Adressendecodiersignal (X1) erzeugt;

- eine zweite Adressendecodiersignal-Ausgangsschaltung (101), die das dritte und vierte Adressenpuffersignal (a3, a4) sowie das zweite Wortleitungs-Treibersteuersignal (o2) empfängt, an diesen eine NAND-Operation ausführt, das Ausgangssignal derselben invertiert und ein zweites Adressendecodiersignal (X2) erzeugt; und
- eine dritte Adressendecodiersignal-Ausgangsschaltung (102), die das dritte und vierte Adressenpuffersignal sowie das dritte Wortleitungs-Treibersteuersignal (o3) empfängt, eine NAND-Operation an diesen ausführt, das Ausgangssignal derselben invertiert und ein drittes Adressendecodiersignal (X3) erzeugt.

20. Treiber nach Anspruch 19, dadurch gekennzeichnet, daß die erste, zweite und dritte Adressendecodier-Ausgangsschaltung (100, 101, 102) ein NAND-Gatter und einen Inverter in Verbindung mit dem Ausgangsanschluß desselben aufweisen.

21. Treiber nach Anspruch 13, dadurch gekennzeichnet, daß der Wortleitungs-Treibersteuersignal-Generator folgendes aufweist:

- einen ersten Wortleitungs-Treibersignal-Generator (103), der das erste Adressendecodiersignal (X1) und das zweite Adressendecodiersignal (X2) empfängt, an diesen eine NAND-Operation ausführt, das Ausgangssignal derselben invertiert und ein erstes Wortleitungstreibersignal (SWL1) erzeugt; und
- einen zweiten Wortleitungs-Treibersignal-Generator (104), der das erste Adressendecodiersignal (X1) und das dritte Adressendeco-

diersignal (X3) empfängt, an diesen eine NAND-Operation ausführt, das Ausgangssignal derselben invertiert und ein zweites Wortleitungstreibersignal (SWL2) erzeugt.

22. Treiber nach Anspruch 21, dadurch gekennzeichnet, daß der erste und der zweite Wortleitungs-Treibersignal-Generator (103, 104) jeweils ein NAND-Gatter und einen Inverter in Verbindung mit dem Ausgangsanschluß desselben aufweisen.

23. Nichtflüchtiger ferroelektrischer Speicher, gekennzeichnet durch:

ein Halbleitersubstrat (160) mit einem durch einen Isolierbereich (161) festgelegten aktiven Bereich;

- eine erste und eine zweite Gateleitung (163a), die selektiv im aktiven Bereich des Halbleitersubstrats ausgebildet sind und als erste und zweite unterteilte Wortleitungen verwendet werden;

- untere Elektroden (163b) jeweils eines ersten und eines zweiten Kondensators, die gesondert in Entsprechung zur ersten bzw. zweiten Gateleitung ausgebildet sind;

- einen ersten und einen zweiten Source/Drain-Bereich (164), die an der Oberfläche des Halbleitersubstrats zu beiden Seiten der ersten bzw. zweiten Gateleitung ausgebildet sind;

- eine erste Isolierschicht (165), die selektiv auf der ersten und zweiten Gateleitung und dem ersten und zweiten Source/Drain-Bereich ausgebildet ist;

- ferroelektrische Schichten (166), die auf den unteren Elektroden ausgebildet sind;

- obere Elektroden (168) sowohl des ersten als auch des zweiten Kondensators, die auf der Oberseite der ferroelektrischen Schichten ausgebildet sind und in Kontakt mit einem Bereich der Source/Drain-Bereiche stehen;

- eine zweite Isolierschicht (169), die selektiv auf dem oberen Elektroden ausgebildet ist; und

eine erste und eine zweite Metalleitungsschicht (171), die in Kontakt mit dem anderen Bereich bezüglich des Source- und des Drainbereichs stehen.

24. Speicher nach Anspruch 23, dadurch gekennzeichnet, daß jede der Metalleitungsschichten (171) Bitleitungen und /Bitleitungen aufweist, die in Verbindung mit dem ersten bzw. zweiten Drainbereich jeder Zelleinheit stehen.

25. Speicher nach Anspruch 23, dadurch gekennzeichnet, daß die erste Gateleitung (163a) und die untere Elektrode (163b) des zweiten Kondensators (73) elektrisch miteinander verbunden sind.

26. Speicher nach Anspruch 23, dadurch gekennzeichnet, daß die zweite Gateleitung (163a) und die untere Elektrode (163b) des ersten Kondensators (71) elektrisch miteinander verbunden sind.

27. Verfahren zum Herstellen eines nichtflüchtigen ferroelektrischen Speichers, gekennzeichnet durch die folgenden Prozesse:

- Herstellen erster und zweiter Gateleitungen (163a) sowie unterer Elektroden (163b), erster und zweiter Kondensatoren (71, 73) in einem aktiven Bereich, der durch einen Elementisolierbereich (161) eines Halbleitersubstrats (160) festgelegt ist;

- Herstellen erster und zweiter Source/Drain-Bereiche (164) durch Fremdstoffioneninjektion unter Verwendung der ersten und zweiten Gateleitungen und der unteren Elektroden der ersten und

zweiten Kondensatoren als Maske;

– Herstellen eines ersten Kontaktlochs durch Herstellen einer ferroelektrischen Schicht (166) auf jeder der unteren Elektroden, durch Herstellen einer ersten Isolierschicht (165) auf der ferroelektrischen Schicht und durch selektives Entfernen der Isolierschicht;

– Herstellen oberer Elektroden (168) der ersten und zweiten Kondensatoren in solcher Weise, daß sie durch das erste Kontaktloch mit einem Bereich hinsichtlich der ersten und zweiten Source/Drain-Bereiche verbunden sind;

– Herstellen eines zweiten Kontaktlochs durch Herstellen einer zweiten Isolierschicht (169) auf der gesamten Oberfläche des Halbleitersubstrats und durch Entfernen derselben in solcher Weise, daß die ersten und zweiten Source/Drain-Bereiche freigelegt werden; und

– Herstellen von Metalleitungsschichten (171), die durch das zweite Kontaktloch hindurch in Kontakt mit dem anderen Bereich hinsichtlich der ersten und zweiten Source/Drain-Bereiche stehen.

28. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß die ersten und zweiten Gateleitungen (163a) sowie die unteren Elektroden (163b) der Kondensatoren so hergestellt werden, daß sie einander entsprechen, aber voneinander getrennt sind.

29. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß die erste Gateleitung und die untere Elektrode des zweiten Kondensators (73) so hergestellt werden, daß sie elektrisch miteinander verbunden sind.

30. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß die zweite Gateleitung und die untere Elektrode des ersten Kondensators (71) so hergestellt werden, daß sie elektrisch miteinander verbunden sind.

Hierzu 27 Seite(n) Zeichnungen

40

45

50

55

60

65

FIG.1

STAND DER TECHNIK

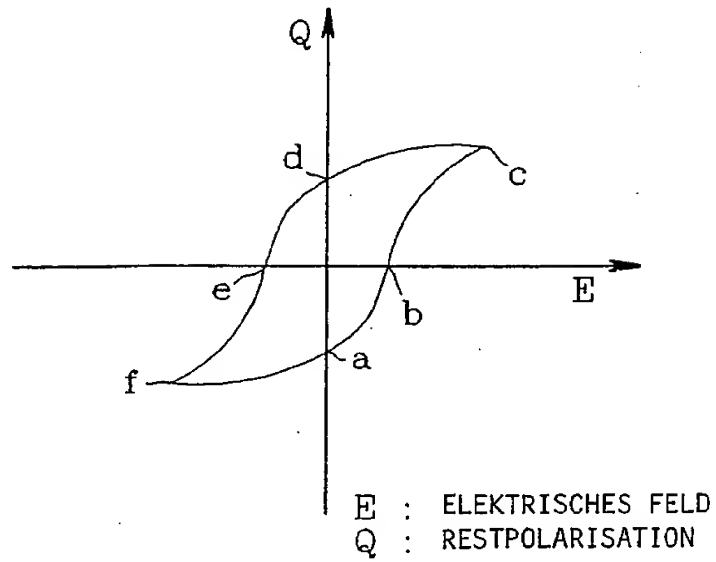


FIG.2

STAND DER TECHNIK

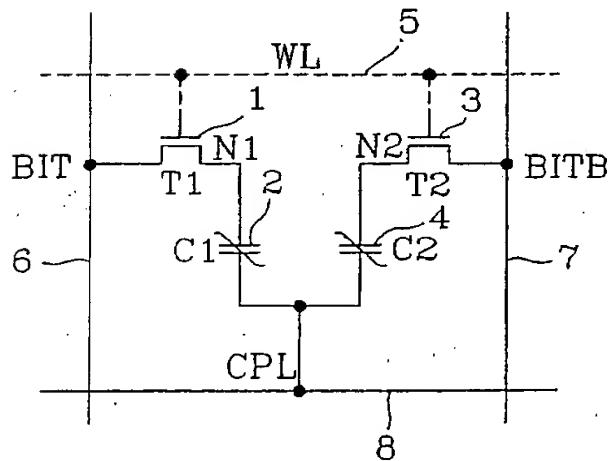


FIG.3
STAND DER TECHNIK

**SPANNUNG: HOCH \rightarrow V_{CC}NIEDRIG \rightarrow 0

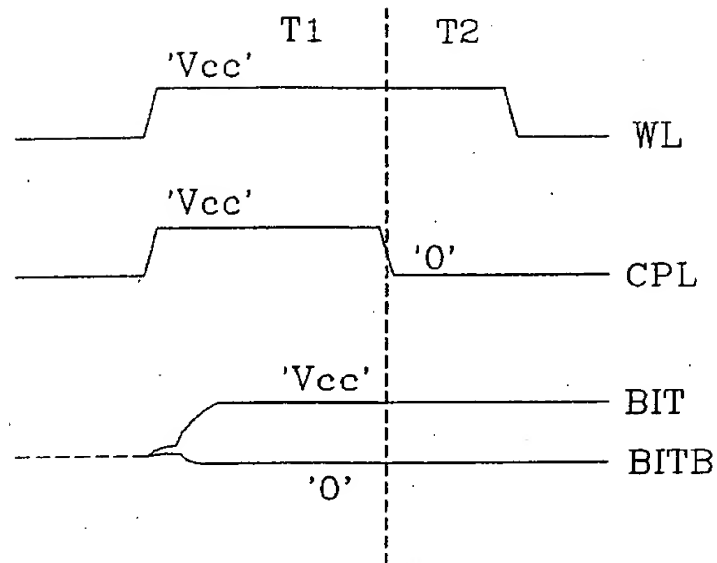


FIG.4
STAND DER TECHNIK

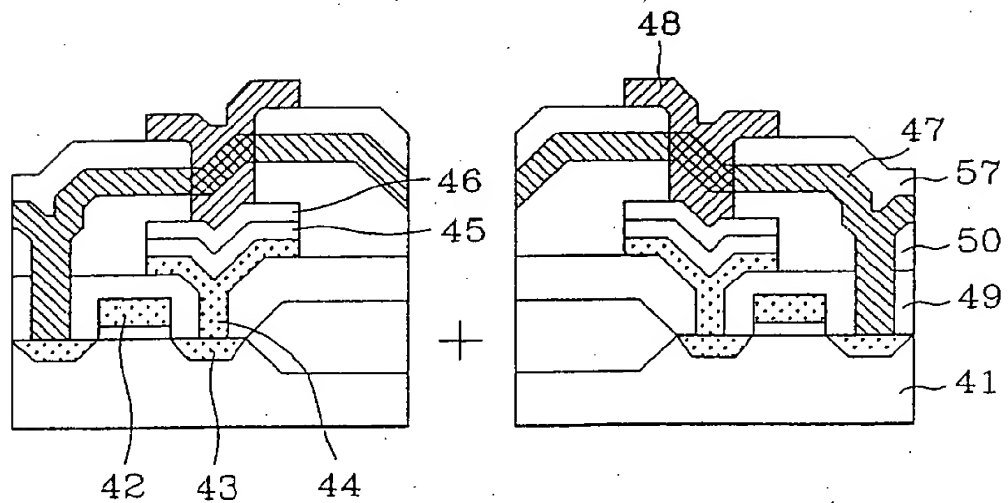


FIG.5a
STAND DER TECHNIK

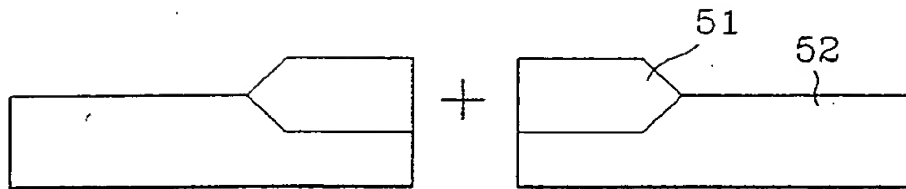


FIG.5b
STAND DER TECHNIK

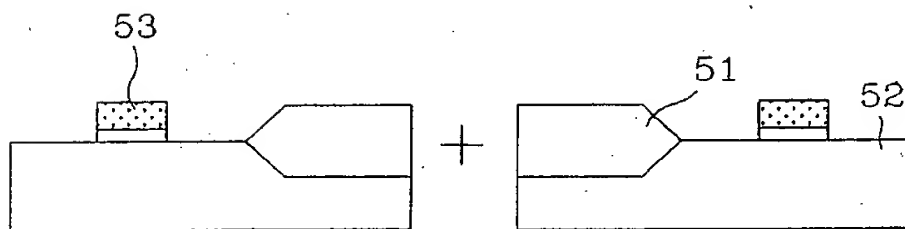


FIG.5c
STAND DER TECHNIK

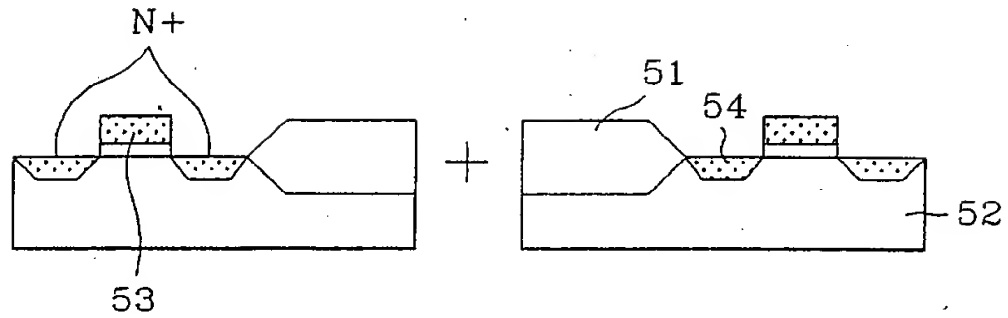


FIG.5d
STAND DER TECHNIK

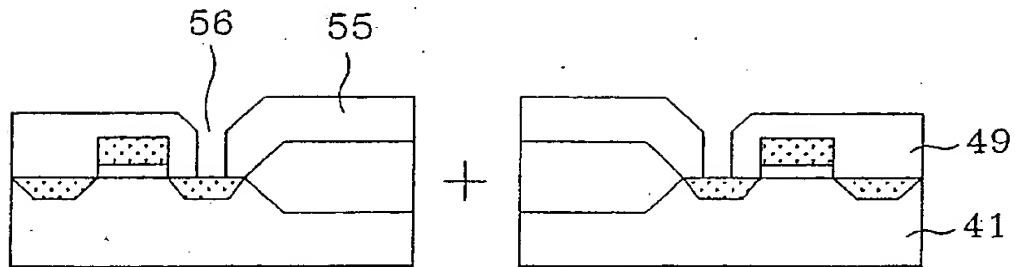


FIG.5e
STAND DER TECHNIK

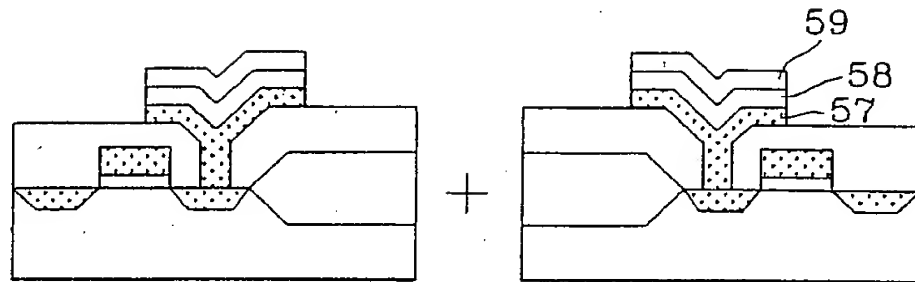


FIG.5f
STAND DER TECHNIK

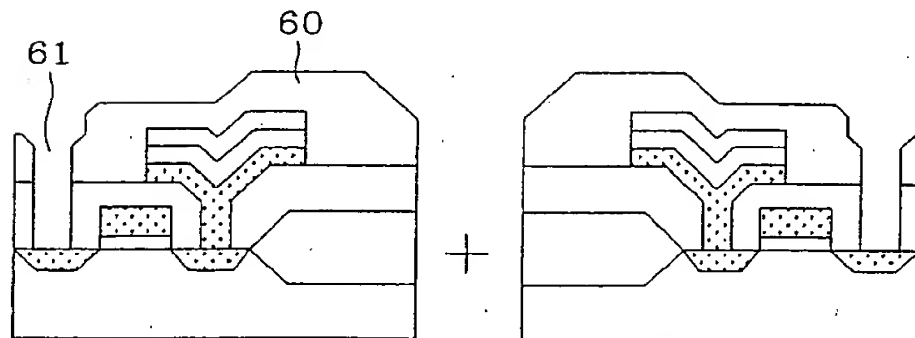


FIG.5g

STAND DER TECHNIK

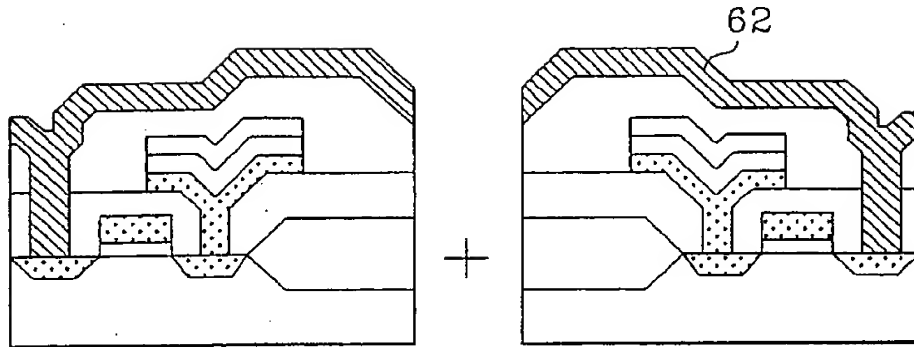


FIG.5h

STAND DER TECHNIK

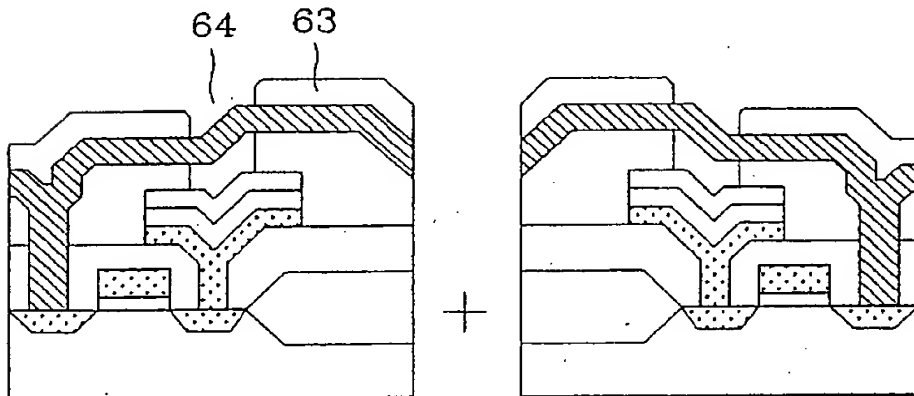


FIG.5i
STAND DER TECHNIK

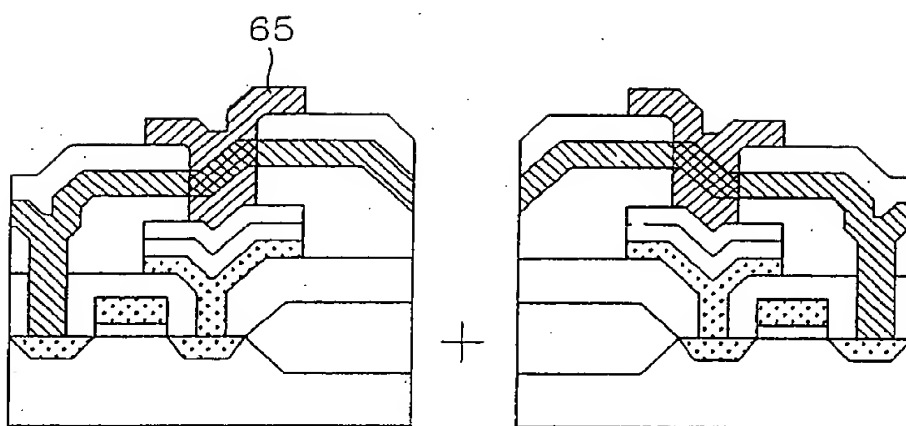


FIG. 6a

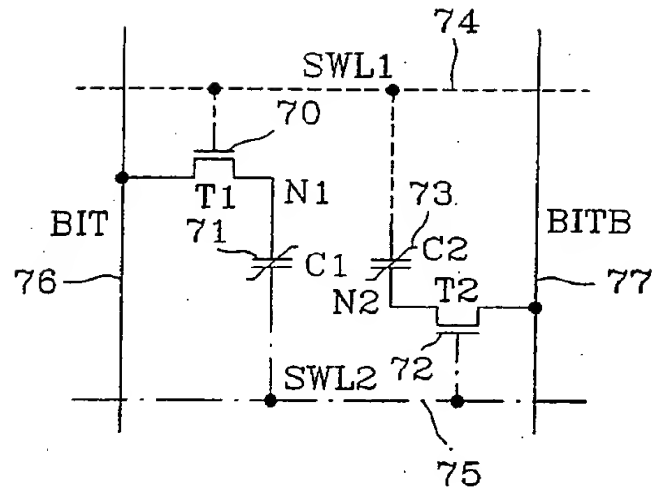
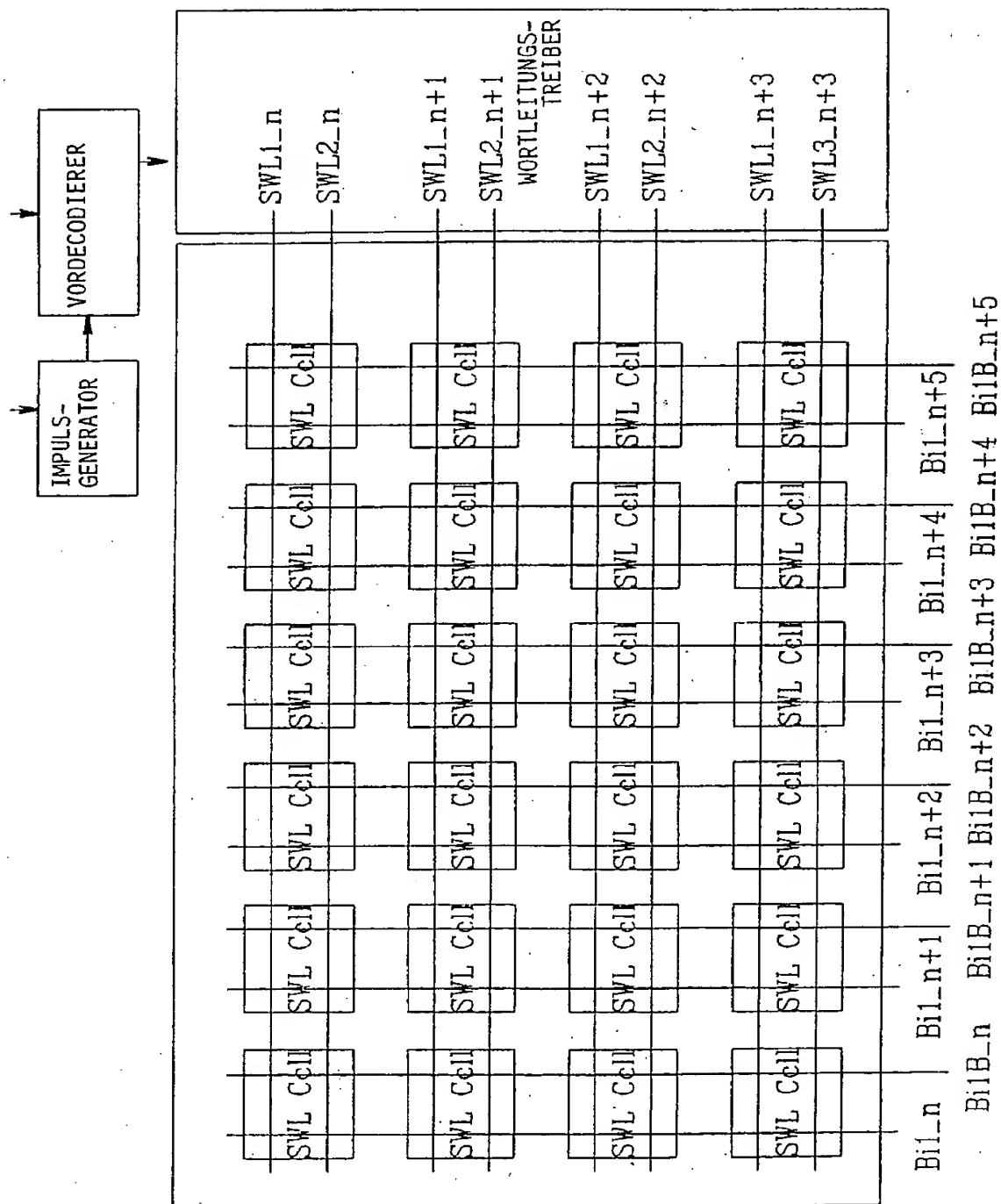


FIG. 6b



Bi1_n Bi1_n+1 Bi1_n+2 Bi1_n+3 Bi1_n+4 Bi1_n+5
Bi1B_n Bi1B_n+1 Bi1B_n+2 Bi1B_n+3 Bi1B_n+4 Bi1B_n+5

FIG.7

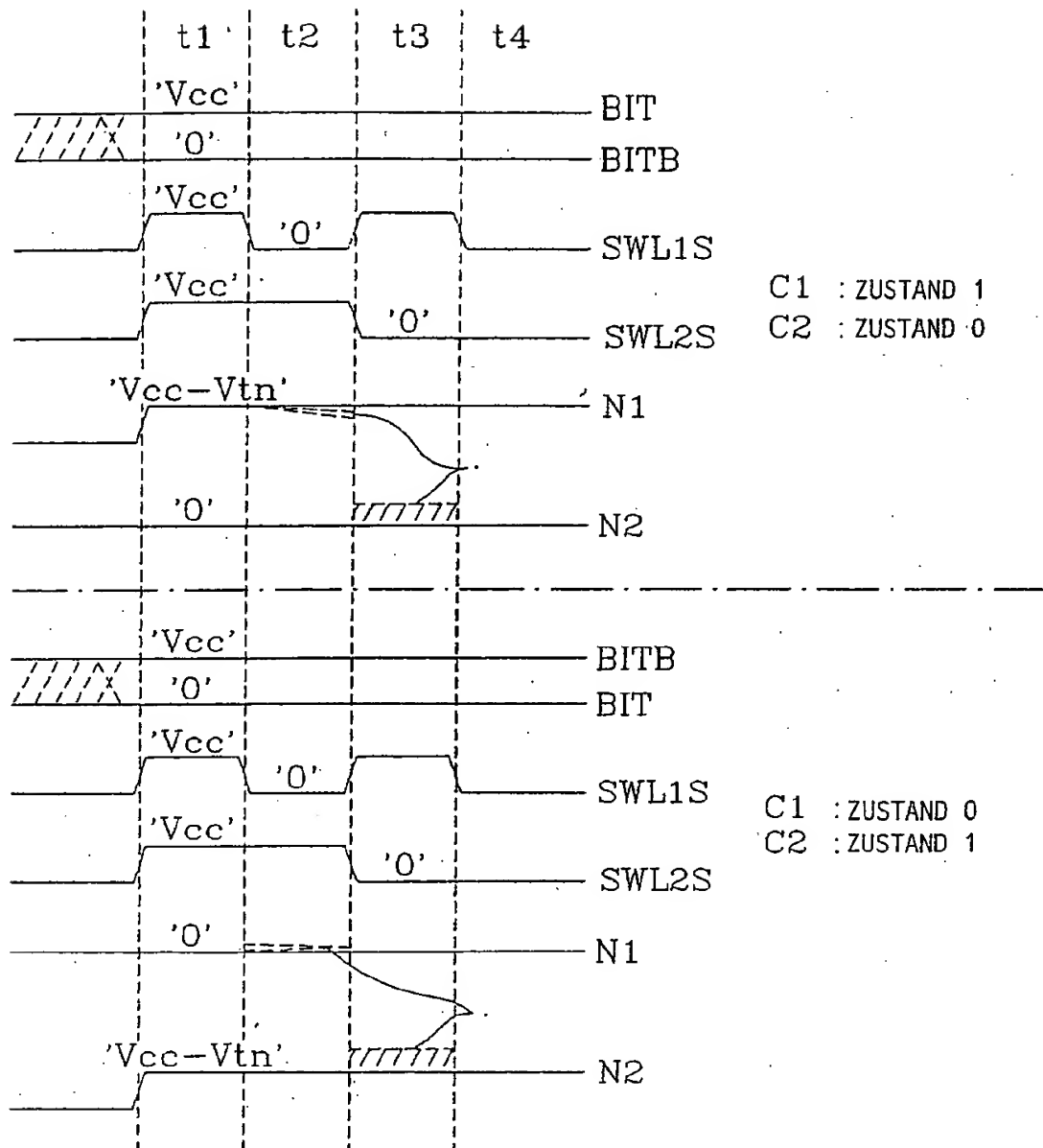
 ** SPANNUNG: HOCH $\rightarrow V_{CC}$, NIED- $\rightarrow 0$


FIG.8

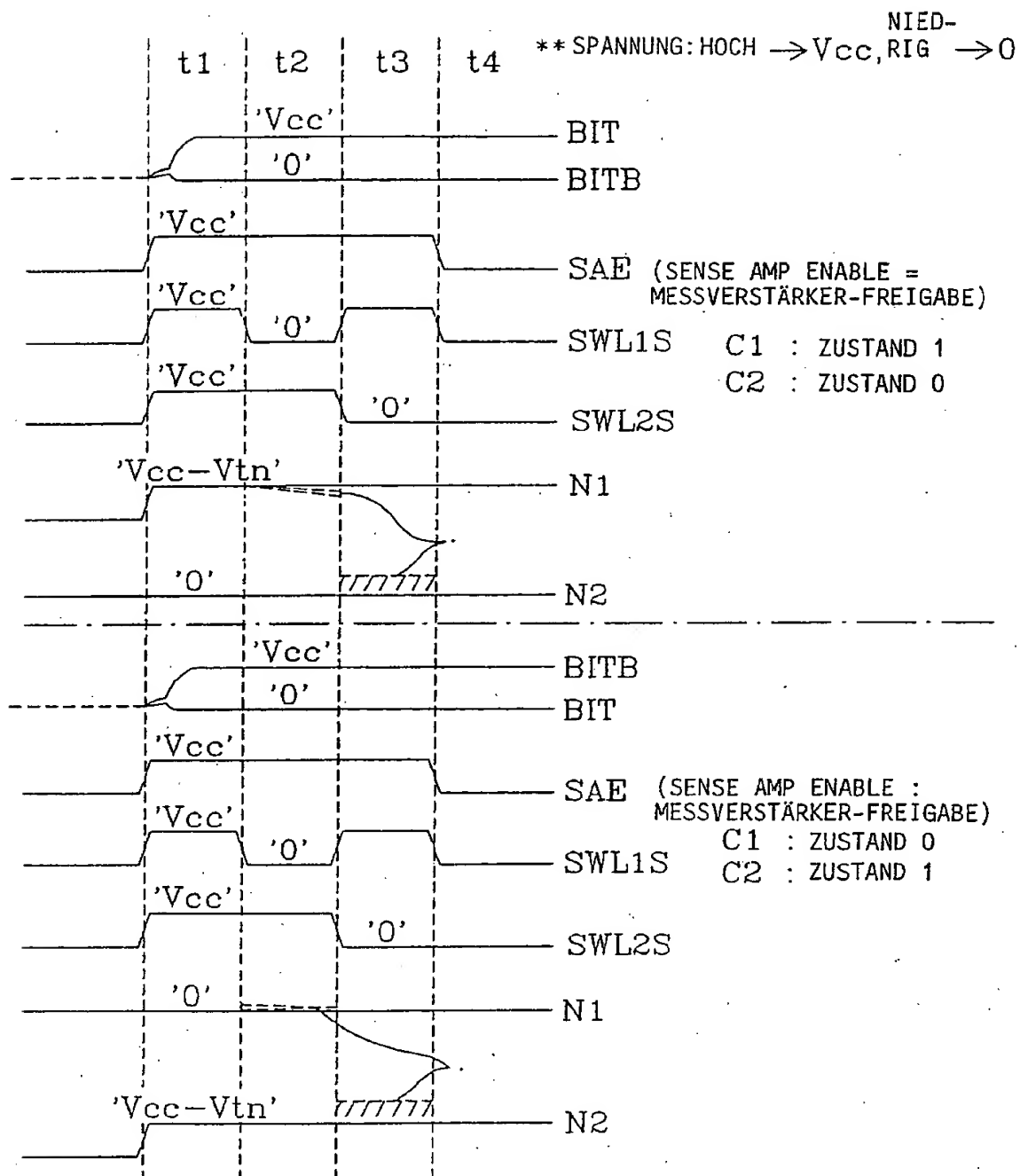


FIG. 9

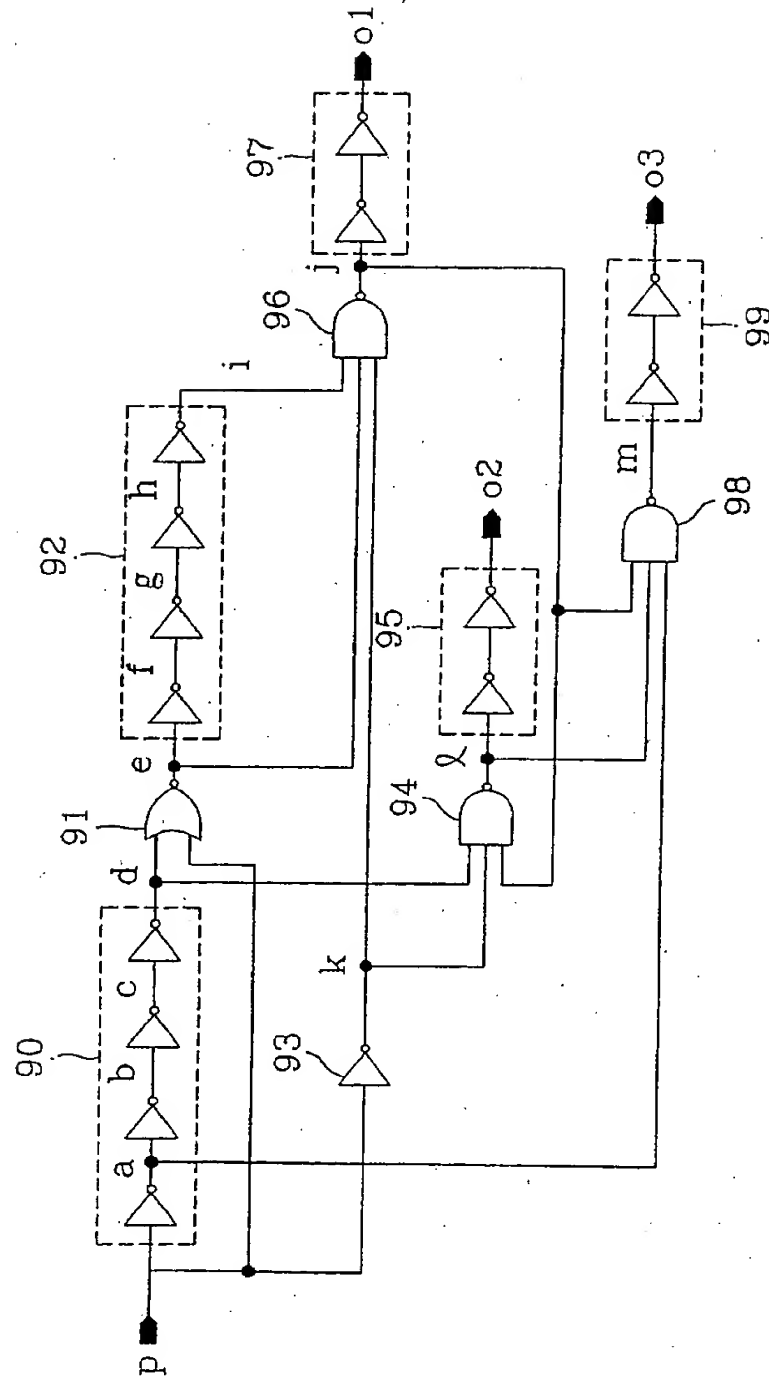


FIG.10

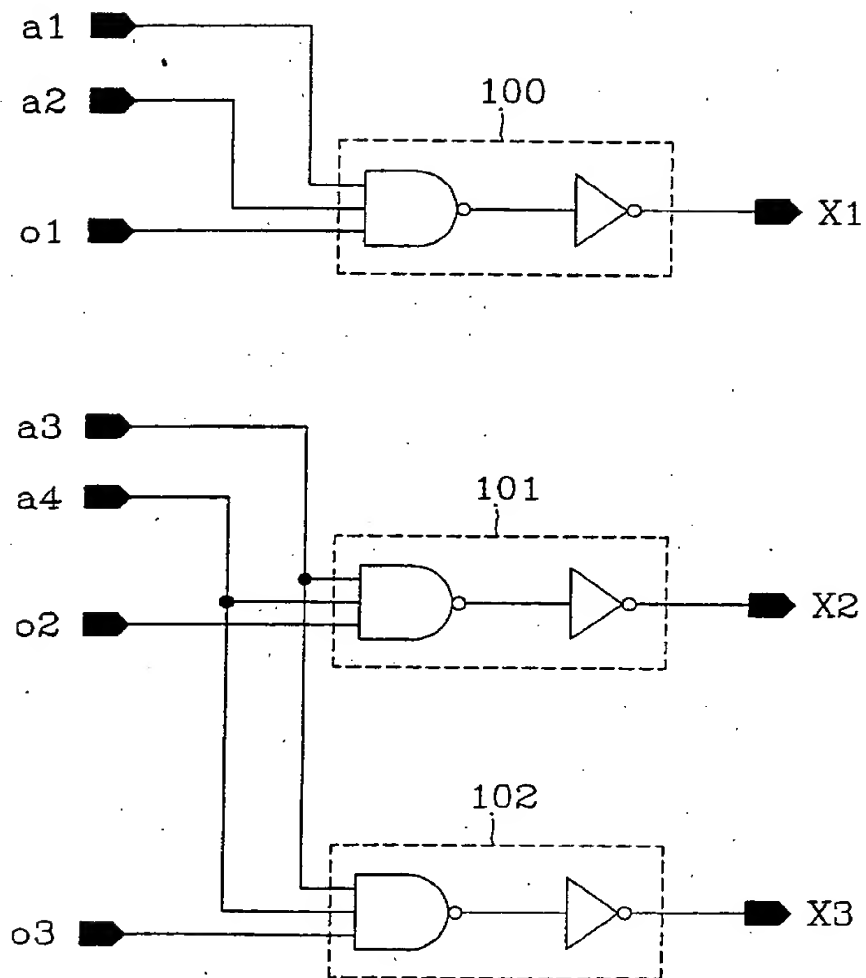


FIG.11

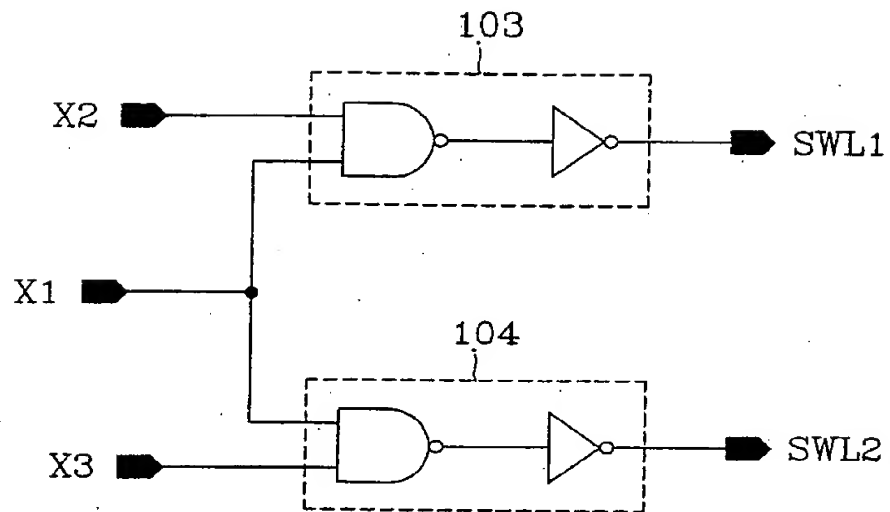


FIG.12

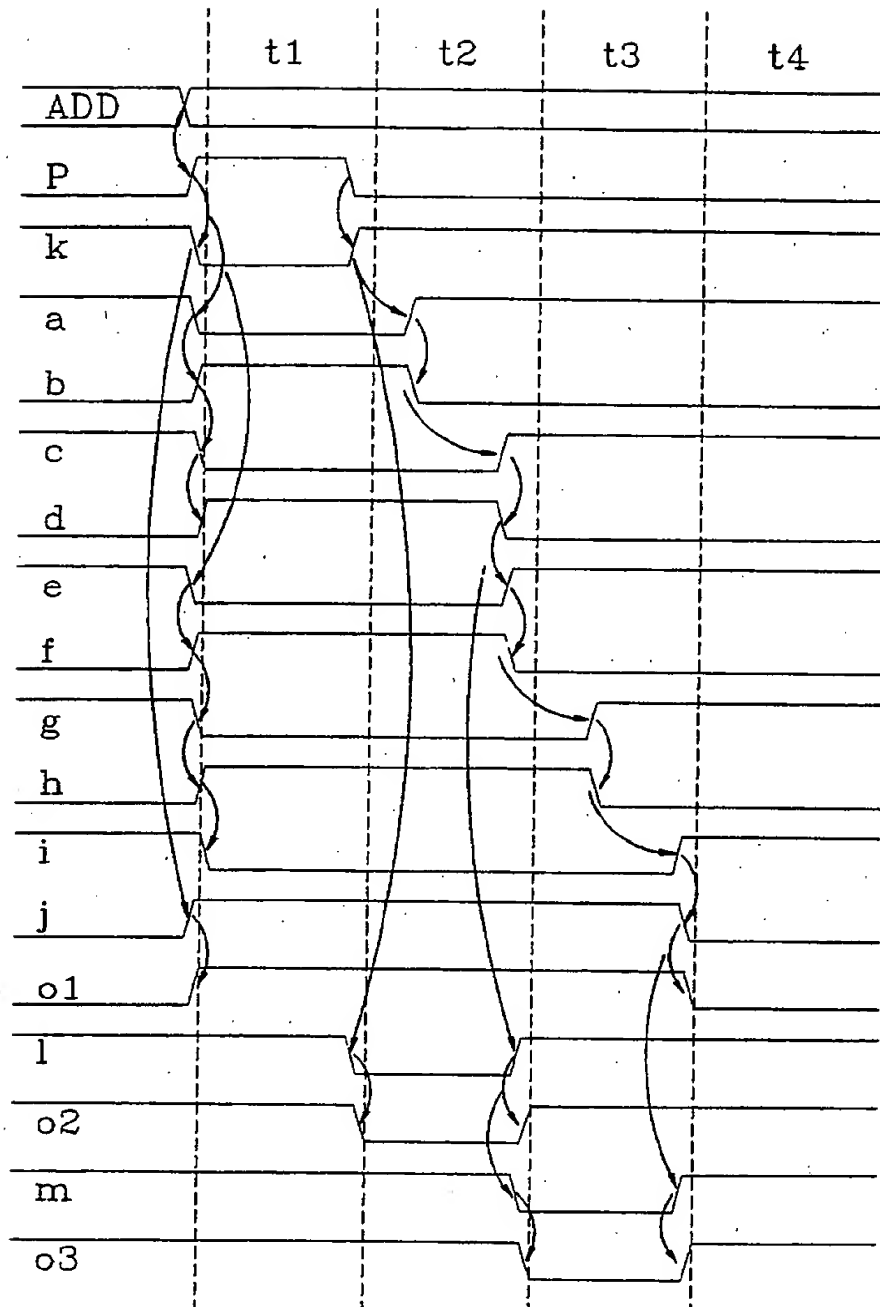


FIG.13

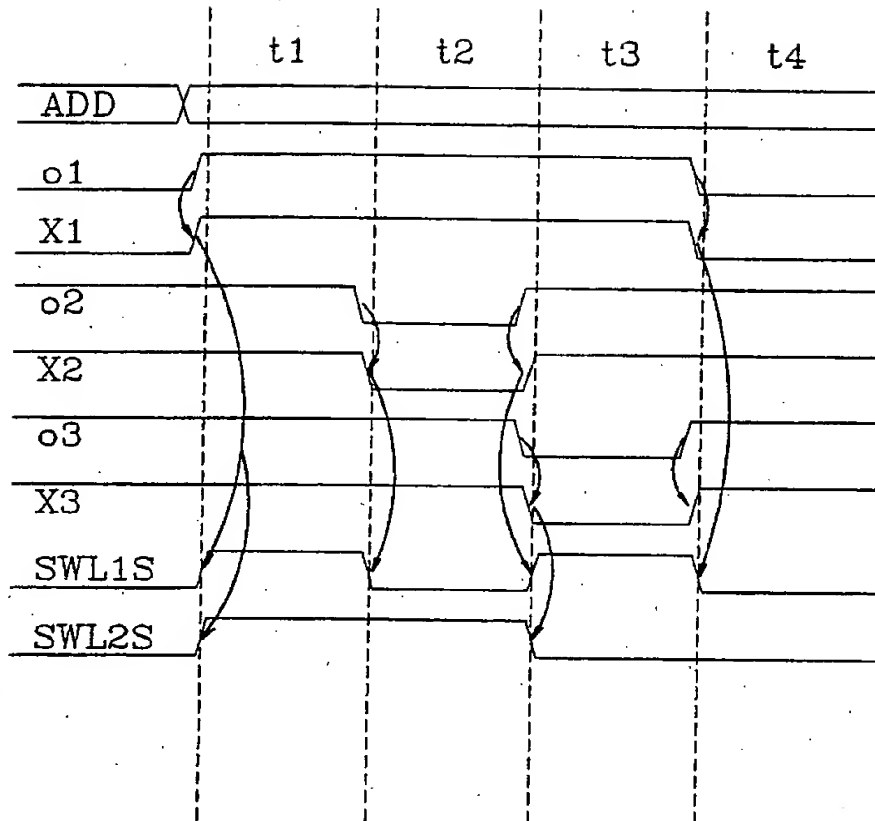


FIG. 14

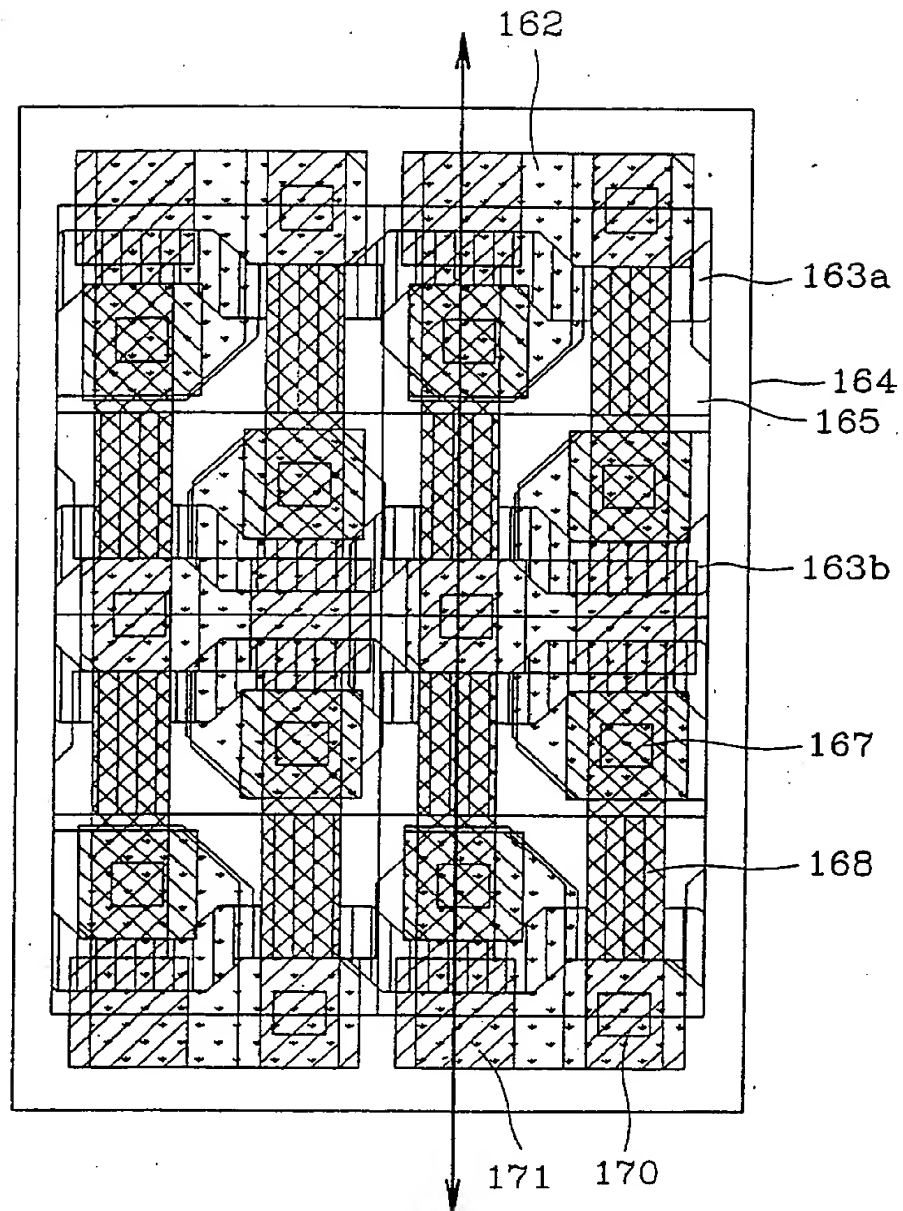


FIG. 15

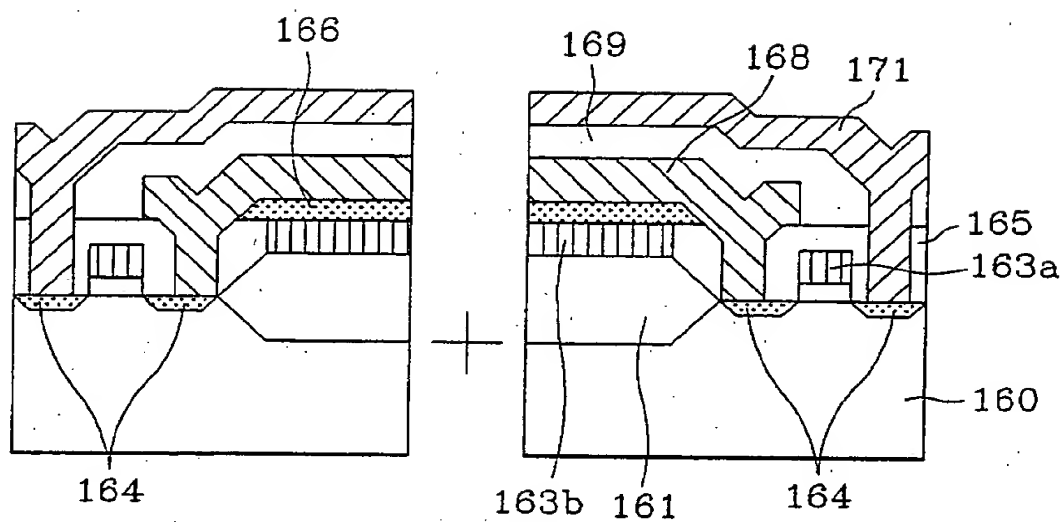


FIG. 16a

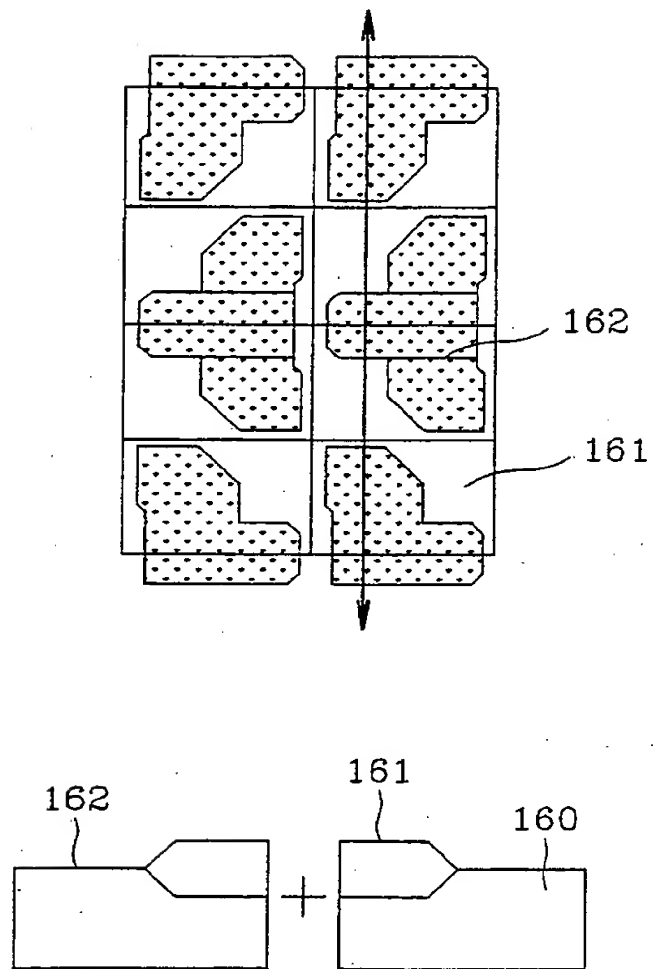


FIG. 16b

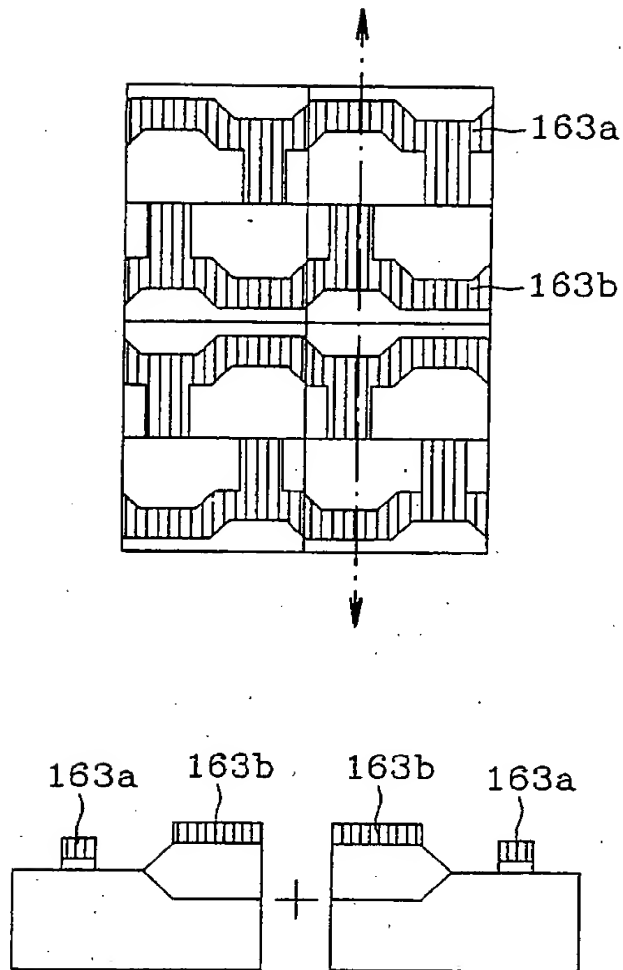


FIG.16c

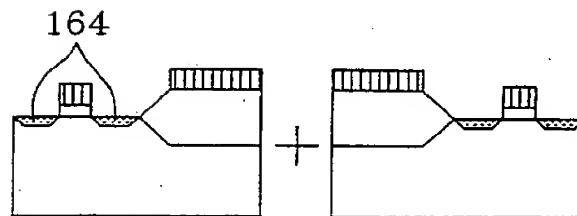
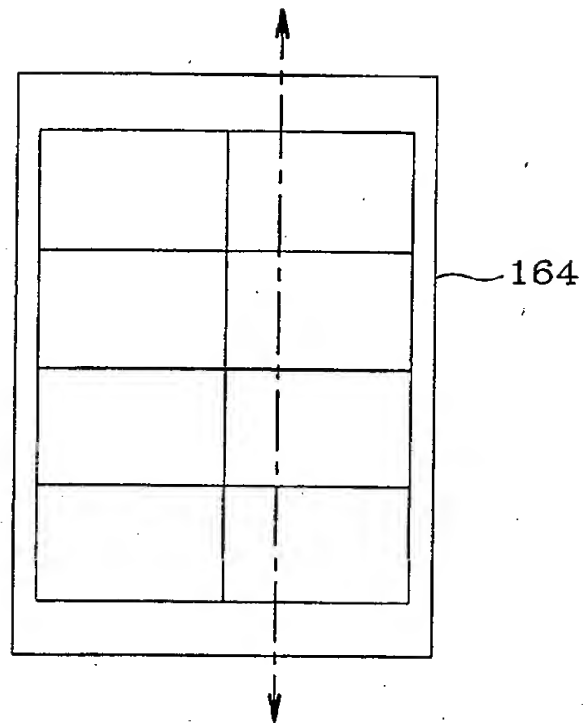


FIG. 16d

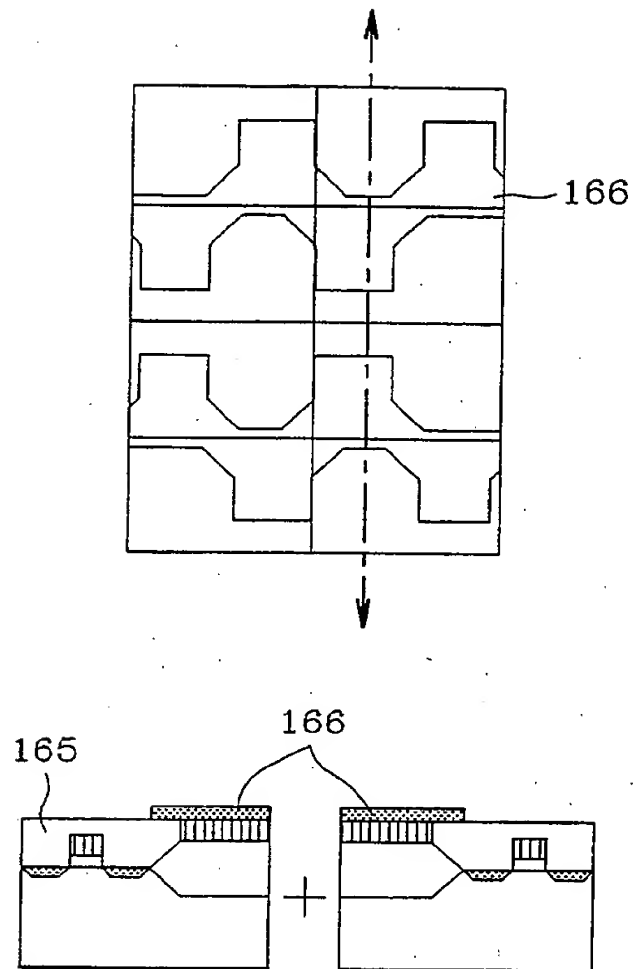


FIG. 16e

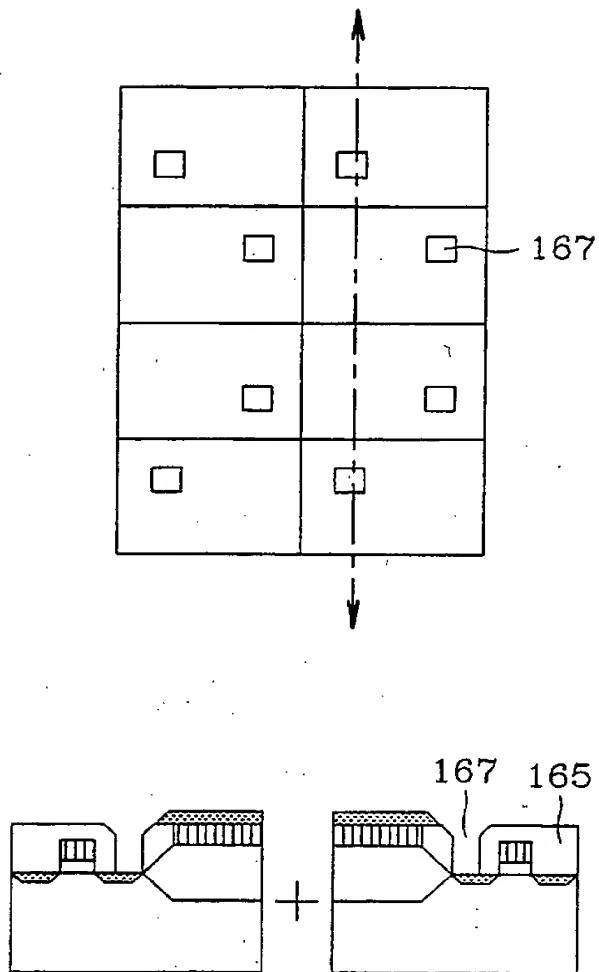


FIG. 16f

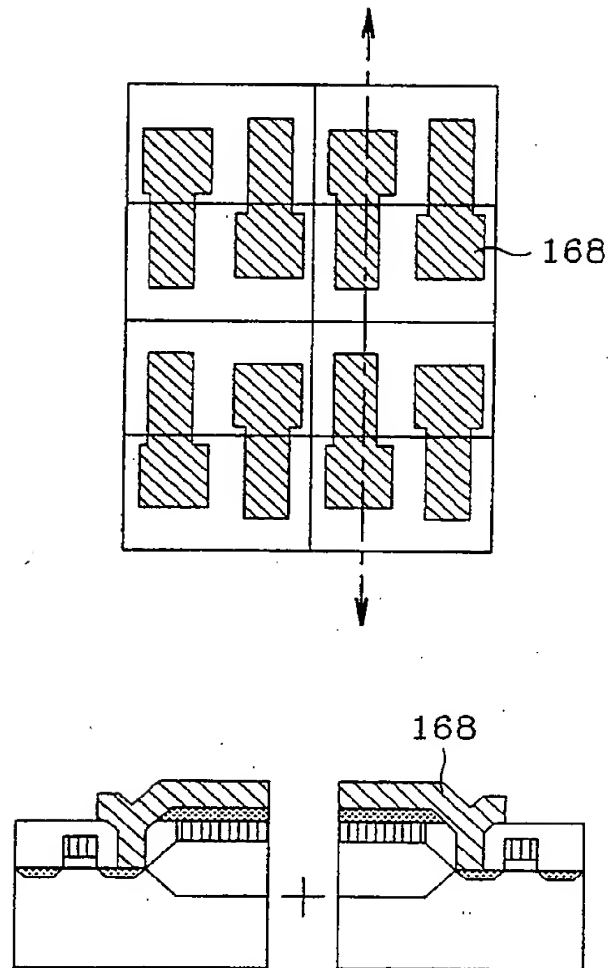


FIG. 16g

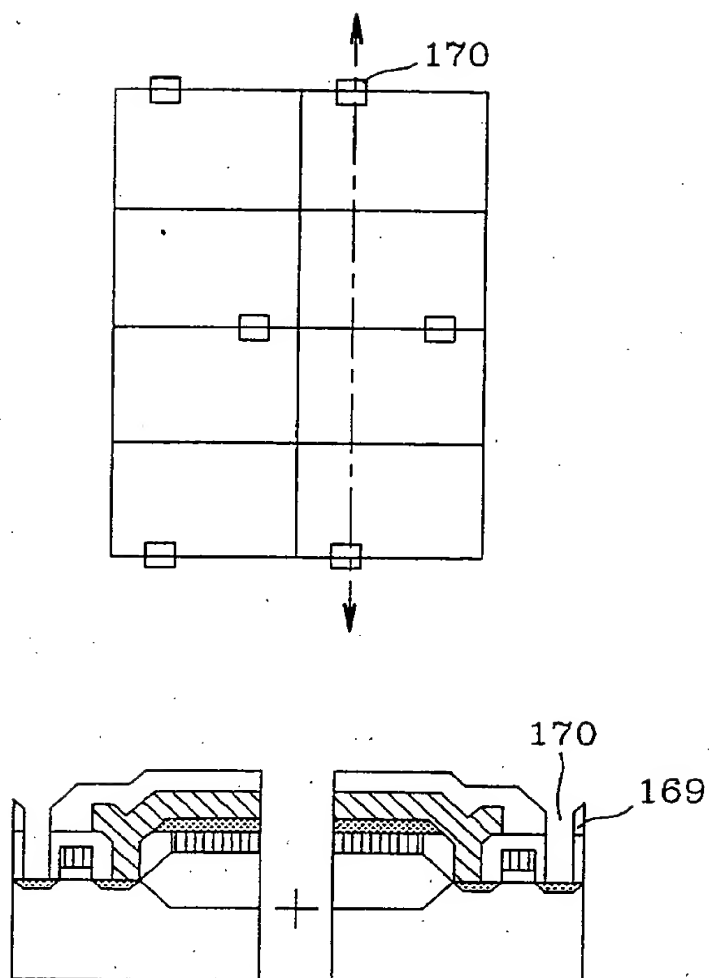


FIG. 16h

